

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年9月22日 (22.09.2005)

PCT

(10) 国際公開番号
WO 2005/088888 A1(51) 国際特許分類⁷: H04L 7/00, H04N 5/44, 7/24

(21) 国際出願番号: PCT/JP2005/001459

(22) 国際出願日: 2005年2月2日 (02.02.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-067332 2004年3月10日 (10.03.2004) JP

(71) 出願人(米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).

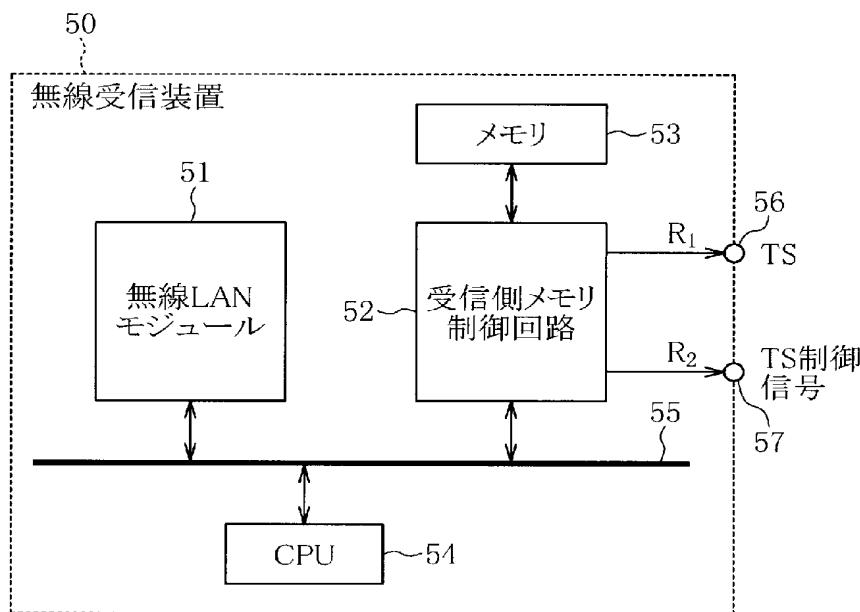
(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 井上 賢之 (INOUE, Sadayuki) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 佐藤 利光 (SATO, Toshimitsu) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 笠浦 毅 (KASAURA, Tsuyoshi) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 志田 哲郎 (SHIDA, Tetsuro) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 藤原 卓 (FUJIWARA, Takashi) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 松本 壮一郎 (MATSUMOTO, Soichiro) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱

/ 続葉有 /

(54) Title: DATA RECEPTION DEVICE AND DATA RECEPTION METHOD

(54) 発明の名称: データ受信装置及びデータ受信方法



50... RADIO RECEPTION DEVICE

51... RADIO LAN MODULE

53... MEMORY

52... RECEPTION SIDE MEMORY CONTROL CIRCUIT

57... TS CONTROL SIGNAL

(57) Abstract: There is provided a reception device (50) which can perform sufficient clock reproduction even for TS of VBR when transmitting or receiving in real time a stream formed by video/audio data such as TS of the MPEG2 system via a network having a jitter. When packet data received is stored in a memory (53) and the packet data is outputted according to the time information added to the packet data received, the integration result of the reception packet amount temporarily stored in the memory (53), the number of reception packets processed, and the time integrating the reception packet amount are measured and according to the measurement results, a deviation of the clock frequency between the transmission device and the reception device is calculated. According to the result of calculation of the clock frequency deviation, control is performed to obtain the read timing offset of the reception packet.

WO 2005/088888 A1

/ 続葉有 /



電機株式会社内 Tokyo (JP). 辻下 雅啓 (TSUJISHITA, Masahiro) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 前田実, 外 (MAEDA, Minoru et al.); 〒1510053 東京都渋谷区代々木2丁目16番2号 甲田ビル4階 前田特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: ジッタを有するネットワークを介してMPEG2システムのTSのような映像、音声データにより構成されるストリームをリアルタイム伝送、あるいは受信する際、VBRのTSについても十分なクロック再生を行うことができる受信装置(50)を得る。受信したパケットデータをメモリ(53)に記憶し、受信したパケットデータに付加された時刻情報をもとにパケットデータを出力する際、メモリ(53)に一時記憶されている受信パケットの量の積分結果、処理した上記受信パケット数、及び上記受信パケットの量を積分している時間を計測しその計測結果をもとに、送信装置と受信装置間のクロック周波数の偏差を計算し、該クロック周波数の偏差計算結果をもとに上記受信パケットの読み出しタイミングオフセットを得るように制御する。

明 細 書

データ受信装置及びデータ受信方法
技術分野

[0001] 本発明は、例えば、MPEG (Motion Picture Experts Group) 2システムにおけるトランスポートストリーム(TS)のような映像・音声データを受信するデータ受信装置及びデータ受信方法に関するものである。

背景技術

[0002] TSのようなストリームを無線伝送するデータ伝送システムに対する要望がある。例えば、データ記録再生装置内の符号化装置から出力されるTSを、無線ネットワーク(無線送信装置及び無線受信装置を含む。)を経由して、デジタルチューナ内蔵テレビ(TV)に伝送するシステムである。このようなデータ伝送システムにおいては、無線送信装置が、データ記録再生装置内の符号化装置から有線ネットワーク(例えば、IEEE1394規格に準拠したネットワーク)経由で送られてきたTSをパケット化し、無線ネットワークを経由して無線受信装置に送信する。無線受信装置は、受信したTSパケットを復元し、有線ネットワーク(例えば、IEEE1394規格に準拠したネットワーク)を経由してデジタルチューナ内蔵TVに送信する。デジタルチューナ内蔵TV内の復号化装置は、受信したTSを復号する。

[0003] また、このようなデータ伝送システムにおいては、送信側の符号化装置と受信側の復号化装置の間でクロックの同期を取るため、TSに、PCR (Program Clock Reference:プログラムクロック基準)が挿入されている。このPCRは、受信側の復号化装置で時刻の基準となるSTC (System Time Clock:システム タイム クロック)の値を、送信側で意図した値に設定するための情報である。したがって、PCRが受信側の復号化装置に入力されるタイミングは、送信側で意図したタイミングである必要がある。TSの場合には、PCRを含むTSパケットが少なくとも100msに1回伝送される必要がある。このため、PCRを含むTSに関しては、そのジッタを数十 μ s(例えば、50 μ s)以下に抑制する必要がある。

[0004] 図33(a)乃至(c)は、従来のデータ伝送方法を説明するための図である。図33(a)

には、無線送信装置にTS_0パケットからTS_17パケットまでが入力されるタイミングが図示されており、また、PCRを含むTS(すなわち、TS_0、TS_5、TS_13)が矢印で示されている。また、図33(b)には、無線送信装置から無線受信装置にTSパケット(TS_0パケットからTS_10パケットまでが図示されている。)が伝送されるタイミングが示されている。さらに、図33(c)には、無線受信装置から受信TS(TS_0からTS_7までが図示されている。)が出力されるタイミングが示されている。図33(a)乃至(c)に示されるように、無線受信装置は、無線送信装置からのTSを、あるデータ遅延量だけ遅延させて出力している。この遅延された受信TSのジッタ量は、所定の範囲内である必要があり、このため、例えば、ATM(Asynchronous Transfer Mode:非同期転送モード)が用いられている(例えば、特許文献1～4参照)。

[0005] 特許文献1～4は、SRTS(Synchronous Residual Time Stamp:同期残差タイムスタンプ)法による通信方法と適応クロック法による通信方法を説明している。SRTS法は、通信を行う送信側と受信側の共通クロックを参照できる場合に使用する方法である。送信側は、Nビットごとの固定データ転送速度情報の間隔で共通クロックを計測し、計測値の中で送信クロック周波数変動によって値が変わる部分だけを同期タイムスタンプ残差情報としてパケットに挿入して送信する。受信側は、送られてきた同期タイムスタンプ残差情報と共にクロックとからNビットの固定速度情報の間隔を再生し、この間隔に基づいてクロックを再生する。一方、適応クロック法は、受信側が、受信パケットに格納されている固定速度情報をバッファに格納し、格納した情報量が基準値を保持するようにバッファの読み出しクロック情報を制御する方法である。

[0006] 特許文献1:特開平9-214477号公報

特許文献2:特開平7-46257号公報

特許文献3:特開平9-36846号公報

特許文献4:特開平5-210914号公報

特許文献5:特開平11-317768号公報(図1、図2)

発明の開示

発明が解決しようとする課題

[0007] しかしながら、上記特許文献1～4に開示されるクロック再生方法は、固定ビットレー

ト(CBR:Constant Bit Rate)でデータの送受信を行う場合を前提としており、可変ビットレート(VBR:Variable Bit Rate)でデータの送受信を行う場合には、適切なクロック再生を行うことができないという問題がある。

[0008] また、上記特許文献5に開示されるデータ伝送方法は、VBRのデータ伝送に対応できるが、有効パケットに付加情報を添えて伝送を行う方法であるので、無線伝送に適用した場合にスループットの低下を招くという問題がある。なお、有線でも同様にネットワーク帯域を圧迫する。また、上記特許文献5に開示されるデータ伝送方法では、受信装置が有効パケットと付加情報に基づいて追加された無効パケットをバッファに格納する必要があり、受信装置の回路規模が増大すると共に、受信装置の制御が複雑になるという問題がある。

[0009] また、上記特許文献1～5においては、基本的に受信装置は送信装置と一対一で接続(ピアツーピア接続)されることを想定している。しかし、図34に示す無線伝送システムを異なる複数の有線系のネットワークを接続する場合に使用する際は、無線受信機111は複数の無線送信機110から出力されるTSを受信する必要がある。しかし、一対一接続を想定している従来の上記SRTS法、及び適応クロック法ではN対1、あるいはN対Mの接続を想定した場合(N及びMはそれぞれ、2以上の整数である。)、受信機側でのクロック再生を各TSごと十分に実施できないといった問題点があった。特に、特許文献2ではメモリ残量に応じて、システムクロックにPLLをかけて受信機側のクロック再生を実施する構成をとっており、また、特許文献4ではクロック信号にゲートをかけてクロック再生を実施するため、複数の送信機から送られてきた各々のTSのクロック再生を行うことができないという問題点があった。また、特許文献5ではVBRへの対応のため新たなる付加情報をネットワーク上に流すためTSの伝送スループットを悪くするといった問題点があった。

[0010] そこで、本発明は、上記したような従来技術の課題を解決するためになされたものであり、その目的は、スループットの低下及び受信回路の複雑化を抑制しつつ、受信側メモリにおいてアンダーフロー、あるいはオーバーフローを生じさせることなく連続的にデータを出力することができるデータ受信装置及びデータ受信方法を提供することにある。

課題を解決するための手段

[0011] 本発明のデータ受信装置は、伝送路を介してパケットデータを受信し、予め上記パケットデータに付加された時刻情報をもとにパケットデータを出力するデータ受信装置であって、上記受信したパケットデータを記憶する記憶手段と、上記受信したパケットデータに付加された上記時刻情報を分離し、上記分離された時刻情報をもとに上記記憶手段からパケットデータを読み出す制御手段とを有し、上記制御手段にて読み出しタイミングを生成する際に、上記記憶手段に一時記憶されている受信パケットデータの量の積分結果及び上記積分の積分期間の計測結果をもとに、データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、上記受信パケットデータの読み出しタイミングに上記偏差に基づくオフセット量を加え上記受信パケットデータの読み出しタイミングを生成するものである。

[0012] また、本発明のデータ受信方法は、伝送路を介してパケットデータを受信し、予め上記受信されたパケットデータに付加された時刻情報をもとにパケットデータを出力するデータ受信方法であって、上記受信したパケットデータを記憶手段に一時記憶するステップと、上記受信したパケットデータに付加された上記時刻情報を分離し、上記分離された時刻情報をもとに上記記憶手段からパケットデータを読み出すステップとを有し、上記パケットデータを読み出すステップにて読み出しタイミングを生成する際に、上記記憶手段に一時記憶されている受信パケットデータの量の積分結果及び上記積分の積分期間の計測結果をもとに、データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、上記受信パケットデータの読み出しタイミングに上記偏差に基づくオフセット量を加え上記受信パケットデータの読み出しタイミングを生成するものである。

発明の効果

[0013] 本発明のデータ受信装置又はデータ受信方法を用いれば、読み出しタイミングを生成する際に、記憶手段に一時記憶されている受信パケットデータの量の積分結果及びこの積分の積分期間の計測結果(計測時間、及び処理した受信パケット数)をもとに、データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、受信パケットデータの読み出しタイミングに計算された偏差に基づくオフセット量を加えること

によって受信パケットデータの読み出しタイミングを生成しているので、TSのジッタを所定値以下に抑えることができるという効果が得られる。

図面の簡単な説明

[0014] [図1]本発明の実施の形態1ー7に係るデータ受信方法を実施するデータ伝送システムの構成を概略的に示す図である。

[図2]実施の形態1ー7における無線送信装置の構成を概略的に示すブロック図である。

[図3]図2に示される無線送信装置内の送信側メモリ制御回路の構成を概略的に示すブロック図である。

[図4]タイムスタンプが付加されたTSの説明図である。

[図5]実施の形態1ー7における無線受信装置(データ受信装置)の構成を概略的に示すブロック図である。

[図6]図5に示される無線受信装置内の受信側メモリ制御回路の構成を概略的に示すブロック図である。

[図7]図5に示される無線受信装置内のメモリの記憶領域を説明するための図である。

[図8]図6に示される受信側メモリ制御回路内のTSデータ読み出しタイミング生成回路の構成を概略的に示すブロック図である。

[図9]図6に示される受信側メモリ制御回路内のTSメモリ読み出し制御回路の構成を概略的に示すブロック図である。

[図10]図6に示される受信側メモリ制御回路の動作を示すフローチャートである。

[図11]実施の形態1における無線受信装置のクロックジッタ検出動作を示すフローチャートである。

[図12]図11に示されるフローの中の目標値算出及び設定の動作を示すフローチャートである。

[図13]実施の形態1ー7の無線受信装置がVBRのTSを受信した場合における、無線受信装置内のメモリが記憶するデータ量の変動を示す図である。

[図14]実施の形態1ー7のデータ伝送システムがクロックジッタを有する場合における

、無線受信装置内のメモリが記憶するデータ量の変動を示す図である。

[図15]実施の形態1における無線受信装置がクロックジッタ補正值を算出するために保有する変換テーブルを示す図である。

[図16]実施の形態2における無線受信装置のクロックジッタ検出動作を示すフローチャートである。

[図17]実施の形態2における無線受信装置による変換テーブル選択のために使用されるテーブルを示す図である。

[図18]実施の形態2における無線受信装置がクロックジッタ補正值を算出するために使用する変換テーブルを示す図である。

[図19]実施の形態3における無線受信装置のクロックジッタ検出動作を示すフローチャートである。

[図20]図19のフロー中の初期値算出及び設定の動作を示すフローチャートである。

[図21]図19のフロー中に示されるフローのクロックジッタ補正(クロックジッタ値算出)の動作を説明するためのフローチャートである。

[図22]図21のフロー中に示されるフローのクロックジッタ補正值算出時の動作を説明するためのフローチャートである。

[図23]図21のフロー中に示されるフローのクロックジッタ値算出時におけるクロックジッタ補正值の収束判定動作を説明するためのフローチャートである。

[図24]実施の形態3の各補正值算出ステージで使用する計測時間、及び収束判定に使用する閾値テーブル等の一例を示す図である。

[図25]実施の形態3における無線受信装置がクロックジッタ補正值を算出するために使用する変換テーブルの一例を示す図である。

[図26]図21のフロー中に示されるフローの実施の形態4のクロックジッタ補正值の動作を説明するためのフローチャートである。

[図27]図21のフロー中に示されるフローの実施の形態4のクロックジッタ値算出時におけるクロックジッタ補正值の収束判定動作を説明するためのフローチャートである。

[図28]実施の形態4の各補正值算出ステージで使用する計測時間、及び収束判定に使用する閾値テーブル等の一例を示す図である。

[図29]図21のフロー中に示されるフローの実施の形態5のクロックジッタ補正値の動作を説明するためのフローチャートである。

[図30]図19のフロー中に示されるフローの実施の形態6のクロックジッタ補正(クロックジッタ値算出)の動作を説明するためのフローチャートである。

[図31]図19のフロー中に示されるフローの実施の形態7のクロックジッタ補正(クロックジッタ値算出)の動作を説明するためのフローチャートである。

[図32]図19のフロー中に示されるフローの実施の形態7の変形例のクロックジッタ補正(クロックジッタ値算出)の動作を説明するためのフローチャートである。

[図33](a)～(c)は従来のデータ伝送方法を説明するための図であり、(a)は無線送信装置にPCRを含むTSが入力されるタイミングを示す図であり、(b)は無線送信装置から無線受信装置にTSパケットが伝送されるタイミングを示す図であり、(c)は無線受信装置から受信されたTSが出力されるタイミングを示す図である。

[図34]従来のTSの無線伝送システムの構成を説明するための図である。

符号の説明

[0015] 10, 20, 30 有線ネットワーク、 11 無線送受信装置(A)、 21 無線送受信装置(B)、 31 無線送受信装置(C)、 40 無線送信装置(送信機)、 43 CPU、 44 送信側メモリ制御回路、 45 メモリ、 46 無線LANモジュール、 47 CPUバス、 441 タイムスタンプ生成回路、 442 タイムスタンプ付加回路、 443 TSメモリ書き込み制御回路、 444 バスアービタ回路、 50 無線受信装置(受信機)、 51 無線LANモジュール、 52 受信側メモリ制御回路、 53 メモリ、 54 CPU、 55 CPUバス、 521 TSデータ読み出しタイミング生成回路、 522 TSメモリ読み出し制御回路、 523 バスアービタ回路、 531 第1のTS記憶領域、 532 第2のTS記憶領域、 5213 時刻計測用カウンタ、 5214 時刻計測用カウンタ制御回路、 5215 時刻補正值記憶レジスタ、 5216 時刻比較回路、 5225 FIFOメモリ、 5226 FIFOメモリ制御回路、 5227 TS読み出しアドレス発生回路、 5228 TS書き込みアドレス記憶回路、 5229 メモリ記憶データ量積分回路、 5230 積分結果記憶レジスタ、 5231 TS出力数計測カウンタ、 5232 TS出力数記憶レジスタ、 5233 計測時間測定カウンタ、 5234 計測時間記憶レジスタ。

発明を実施するための最良の形態

[0016] 実施の形態1.

図1は、本発明の実施の形態1に係るデータ受信方法を実施するデータ伝送システムの構成を概略的に示す図である。図1に示されるデータ伝送システムは、第1の有線ネットワーク10と、第2の有線ネットワーク20と、第3の有線ネットワーク30とを有している。第1、第2、第3の有線ネットワーク10, 20, 30は互いに無線通信を行うことができるIEEE802. 11a規格(無線LAN)に準拠した無線ネットワークをも構成しており、図1の構成全体はホームネットワークを構成している。

[0017] 第1の有線ネットワーク10は、無線送受信装置(A)11と、液晶テレビ(液晶TV)12と、DVD(digital versatile disc)レコーダ(DVD記録再生装置)13とを、例えば、IEEE1394規格に準拠した方式で有線接続することによって構成されている。また、第2の有線ネットワーク20は、無線送受信装置(B)21と、AV-HDD記録再生装置(オーディオビジュアル・ハードディスクドライブ記録再生装置)22と、D-VHS(データ・ビデオホームシステム)記録再生装置23とを、例えば、IEEE1394規格に準拠した方式で有線接続することによって構成されている。また、第3の有線ネットワーク30は、無線送受信装置(C)31と、テレビ(TV)32と、セットトップボックス(STB)33とを、例えば、IEEE1394規格に準拠した方式で有線接続することによって構成されている。なお、図1に示された構成は、本発明のデータ受信方法及びデータ受信装置が適用できるシステム構成の一例を示したものであり、本発明のデータ受信方法及びデータ受信装置は、他のシステムにも適用できる。

[0018] IEEE1394規格に準拠した有線ネットワーク10, 20, 30のそれぞれは、ジッタの無いネットワークである。一方、IEEE802. 11a規格に準拠した無線ネットワークは、ジッタを有するネットワークである。実施の形態1においては、図1に示されるIEEE1394規格に準拠した3つの有線ネットワーク10, 20, 30間を、IEEE802. 11a規格に準拠した方式で無線通信可能に構成している。

[0019] 図1に示されるデータ伝送システムにおいて、例えば、第1の有線ネットワーク10内の液晶TV12が、第3の有線ネットワーク30内のSTB33から、無線送受信装置31及び無線送受信装置11(すなわち、無線ネットワーク)を経由して、トランスポортストリ

ーム(TS)を受信し、また、第1の有線ネットワーク10内のDVDレコーダ13が、第2の有線ネットワーク20内のAV-HDD記録再生装置22に記録されているコンテンツを、無線送受信装置21及び無線送受信装置11(すなわち、無線ネットワーク)を経由して受信し記録する場合について説明する。この場合、受信側の無線送受信装置11は、送信側の無線送受信装置21が属する第2の有線ネットワーク20及び送信側の無線送受信装置31が属する第3の有線ネットワーク30と同期のとれたクロックを再生する(すなわち、クロック同期をとる)必要がある。実施の形態1においては、STB33から出力されるTS及びAV-HDD記録再生装置22から出力されるTSがいずれも可変符号レート(VBR)で出力される場合を説明する。また、実施の形態1においては、説明を簡単にするため、無線送受信装置11を無線受信装置(後述する図5の符号50)として、無線送受信装置21及び無線送受信装置31を無線送信装置(後述する図2の符号40)として説明する。なお、実際には、無線送受信装置11、無線送受信装置21、及び無線送受信装置31のそれぞれは、後述する図2に示される無線送信装置40としての機能と、後述する図5に示される無線送信装置50としての機能の両方を併せ持つ。

[0020] 次に、図2から図4までを用いて、無線送信装置40の構成を説明する。図2は、実施の形態1における無線送信装置40の構成を概略的に示すブロック図である。無線送信装置40は、図1に示される無線送受信装置11, 21, 31のそれぞれに装備される無線送信回路である。図2に示されるように、無線送信装置40は、IEEE1394規格に準拠した有線ネットワークから送られて来るTSを受け取る入力端子41と、TSの先頭、信号エリア等を示すTS制御信号を受け取る入力端子42と、無線送信装置40全体を制御するCPU(Central Processing Unit)43と、送信側メモリ制御回路44と、メモリ45と、無線LAN(Local Area Network)モジュール46と、CPUバス47とを有する。送信側メモリ制御回路44は、入力端子41を介して入力されたTSにタイムスタンプを付加すると共に、タイムスタンプが付加されたTS(以下「タイムスタンプ付きTS」とも言う。)をメモリ45に書き込む。また、送信側メモリ制御回路44は、CPU43から入力される制御信号に基づいて、メモリ45に記憶されているタイムスタンプ付きTSを読み出す。無線LANモジュール46は、CPU43の指令に基づいて、メモリ45

から読み出されたタイムスタンプ付きTSを、無線で送信する。

[0021] 図3は、図2に示される無線送信装置40内の送信側メモリ制御回路44の構成を概略的に示すブロック図である。図3に示されるように、送信側メモリ制御回路44は、タイムスタンプ生成回路441と、タイムスタンプ付加回路442と、TSメモリ書き込み制御回路443と、バスアービタ回路444とを有する。タイムスタンプ生成回路441は、無線送信装置40の基準クロックを用いて入力端子41から入力されるTSに付加するタイムスタンプ(時刻情報)を生成する。タイムスタンプ付加回路442は、タイムスタンプ生成回路441によって生成されたタイムスタンプをTSに付加する。TSメモリ書き込み制御回路443は、入力端子42から入力されるTS制御信号に基づいて、タイムスタンプ付加回路442より出力されるタイムスタンプ付きTSをメモリ45へ書き込む際の書き込みアドレス等の制御信号を発生する。バスアービタ回路444は、TSメモリ書き込み制御回路443から出力されるメモリ45へのTS書き込み制御信号(TS書き込み要求)と、CPU43から出力されるメモリ45からのTS読み出し制御信号(TS読み出し要求)とを調停する。

[0022] 図4は、実施の形態1のデータ伝送システムにおいて無線によって伝送されるタイムスタンプ付きTSの信号フォーマットの一例を示す説明図である。図4に示されるように、実施の形態1においては、TSパケットは188バイトで構成されており、各TSの先頭に4バイトのタイムスタンプが付加されている。

[0023] 次に、無線送信装置40の動作の概要を説明する。図2に示されるように、入力端子41に入力されたTSは、送信側メモリ制御回路44でタイムスタンプが付加され、一旦メモリ45に記憶される。メモリ45に記憶されたタイムスタンプ付きTSは、CPU43から出力されるメモリ読み出し制御信号に基づいて、メモリ45から読み出され、無線LANモジュール46に入力される。無線LANモジュール46は、入力されたタイムスタンプ付きTSに無線伝送用のヘッダを付加し、パケット化して、他の無線送受信装置(後述する無線受信装置50)に無線送信する。なお、実施の形態1においては、TSを無線伝送する際、無線区間におけるオーバヘッドを極力小さくするため、タイムスタンプ付きTSを予め定められた数だけ集めてパケットを構成する。

[0024] 次に、図2から図4までを用いて、無線送信装置40を構成する各回路の動作を詳

細に説明する。図3に示されるように、入力端子42を介して送信側メモリ制御回路44に入力されるTS制御信号 T_2 は、タイムスタンプ付加回路442及びTSメモリ書き込み制御回路443に入力される。タイムスタンプ付加回路442は、入力されたTS制御信号 T_2 に基づいて、入力端子41を介して入力されるTS $_T_1$ の先頭を検出する。タイムスタンプ付加回路442は、TSの先頭を検出すると、タイムスタンプ生成回路441にタイムスタンプの要求信号 T_3 を出力する。タイムスタンプ生成回路441は、無線送信装置40における基準時刻を生成しており、タイムスタンプ付加回路442からタイムスタンプの要求信号 T_3 が入力されると、現在の無線送信装置40における基準時刻 T_4 をタイムスタンプ付加回路442へ出力する。タイムスタンプ付加回路442は、タイムスタンプ生成回路441から無線送信装置40における基準時刻 T_4 を受け取ると、図4に示されるように、入力端子41から入力されたTSの先頭にタイムスタンプを付加し、図3に示されるように、タイムスタンプ付きTS $_T_5$ をバスアービタ回路444へ出力する。実施の形態1においては、入力端子41を介して入力された188バイトのTS $_T_1$ の先頭に、図4に示されるように、4バイトのタイムスタンプを付加し、これを所定数集めて無線パケットを構成し伝送する。なお、実施の形態1においては、7TS分のデータで無線パケットを構成する。

[0025] 一方、図3に示されるように、TSメモリ書き込み制御回路443は、入力端子42を介して入力されたTS制御信号 T_2 に基づいて、タイムスタンプ付加回路442から出力されるタイムスタンプ付きTS $_T_5$ のメモリ45への書き込みアドレス及び書き込み制御信号 T_6 を出力する。図3に示されるように、バスアービタ回路444は、7TS分のデータのメモリ45への書き込みが終了すると、CPUバス47を経由してCPU43(図2)に対してデータ読み出し要求信号 T_7 を発生する。図2に示されるCPU43は、バスアービタ回路444からデータ読み出し要求信号 T_7 を受け取ると、DMA(Direct Memory Access:ダイレクトメモリアクセス)を起動し、タイムスタンプを含む7TS分のデータをメモリ45から読み出し、CPUバス47を経由して無線LANモジュール46に書き込む。具体的には、図2に示されるように、CPU43は、入力されたTSが所定数集まるとき、メモリ45に対して読み出し制御信号(読み出しアドレス等)を出力する。また、図3に示されるように、バスアービタ回路444は、CPU43(図2)から出力される読み

出し制御信号T₇と、TSメモリ書き込み制御回路443から出力されるTSデータ書き込み制御信号T₆とを調停する。具体的には、バスアービタ回路444は、CPU43からデータの読み出されていない期間(CPU43によりDMAが起動された場合であっても、メモリ45へのアクセスは少なくとも2クロックに1回は空く。)に入力されたTSを、メモリ45に書き込むように制御する。

[0026] 図2に示される無線LANモジュール46は、7TS分のデータが入力されると、入力された7TS分のデータの先頭に無線ヘッダを付加し、無線パケットを構成する。実施の形態1においては、無線ヘッダには、TSデータか機器制御用データか等を識別するデータタイプ情報、無線パケット長情報、無線送信装置40を識別するMACアドレス(Media Access Control Address:メディア アクセス コントロール アドレス)、無線送信装置40に固有の機器識別情報(例えば、IP(Internet Protocol:インターネット プロトコル)アドレス)等の情報、及び無線送信装置50に固有の機器識別情報(例えば、IPアドレス)等の情報が付加される。図2に示される無線LANモジュール46は、無線ヘッダが付加されパケット化されたデータを、無線で送信する。

[0027] 次に、図5から図9までを用いて、本発明の実施の形態1に係るデータ受信方法を実施する無線受信装置(データ受信装置)50の構成を説明する。図5は、実施の形態1における無線受信装置50の構成を概略的に示すブロック図である。無線受信装置50は、図1に示される無線送受信装置11, 21, 31のそれぞれに装備される無線受信回路である。実施の形態1においては、無線受信装置50は、最大で2本のTSを同時に受信できる機能を持つ。図5に示されるように、無線受信装置50は、無線送信装置40から送信された無線パケットを受信する無線LANモジュール51と、受信側メモリ制御回路52と、メモリ53と、無線受信装置50全体を制御するCPU(中央演算ユニット)54と、CPUバス55と、TSを出力する出力端子56と、TS制御信号を出力する出力端子57とを有する。受信側メモリ制御回路52は、無線LANモジュール51で受信されたTSを、CPU54から出力される書き込み制御信号(書き込みアドレス信号等)に基づいて、メモリ53に書き込むと共に、メモリ53に書き込まれた(その結果、一時記憶された)TSをタイムスタンプに基づくタイミングで読み出して出力する。実施の形態1においては、図5に示されるように、TS_R₁は出力端子56を介して、TS制

御信号R₂は出力端子57を介して、IEEE1394規格に準拠して接続された機器に出力される。

[0028] 図6は、図5に示される無線受信装置50内の受信側メモリ制御回路52の構成を概略的に示すブロック図である。図6に示されるように、受信側メモリ制御回路52は、TSデータ読み出しタイミング生成回路521と、TSメモリ読み出し制御回路522と、バスアービタ回路523とを有する。図6に示されるTSデータ読み出しタイミング生成回路521は、無線LANモジュール51(図5)により受信されメモリ53(図5)に一時記憶されたTSのメモリ53(図5)からの読み出しタイミングR₄を生成する。図6に示されるTSメモリ読み出し制御回路522は、TSデータ読み出しタイミング生成回路521から出力されるTS読み出しタイミング信号R₄に基づいて、TSの読み出し制御信号R₆を発生する。また、図6に示されるTSデータ読み出しタイミング生成回路521には、CPUバス55を経由して、TSデータ読み出しタイミング生成回路521により生成されるTS読み出しタイミングを補正するための時刻補正值(本実施の形態1ではクロックジッタ補正值とも言う。)R₅が入力される。図6に示されるバスアービタ回路523は、CPU54(図5)から出力されCPUバス55を経由して入力されるメモリ53(図5)へのデータ書き込み要求と、TSメモリ読み出し制御回路522から出力されるデータ読み出し要求とを調停する。

[0029] 図7は、図5に示される無線受信装置50内のメモリ53の記憶領域の構成を概略的に示す説明図である。実施の形態1においては、無線受信装置50は、最大2本のTSを同時に扱うので、メモリ53(図5)は、第1のTSを記憶する第1のTS記憶領域531と、第2のTSを記憶する第2のTS記憶領域532とを有する。なお、無線受信装置50が同時に扱うTSの数は3本以上であってもよく、この場合には、同時に扱うTSの数に応じて記憶領域の数を増やす必要がある。また、図示はしていないが受信側メモリ制御回路52中(図5)のTSデータ読み出しタイミング生成回路521、及びTSメモリ読み出し制御回路522は上記メモリ53内のTSを記憶する領域の数だけ独立して設ける構成となる。(各記憶領域にそれぞれ独立して上記TSデータ読み出しタイミング生成回路521、及びTSメモリ読み出し制御回路522が配置される。)

[0030] 図8は、図6に示される受信側メモリ制御回路52内のTSデータ読み出しタイミング

生成回路521の構成を概略的に示すブロック図である。図8に示されるように、TSデータ読み出しタイミング生成回路521は、TSメモリ読み出し制御回路522(図6)から送られるタイムスタンプ信号R₃が入力される入力端子5211と、TS読み出しタイミング信号R₄を出力する出力端子5212と、時刻計測用カウンタ5213と、時刻計測用カウンタ制御回路5214と、時刻補正值記憶レジスタ5215と、時刻比較回路5216とを有する。図8に示される時刻計測用カウンタ5213は、受信したTSの出力タイミングを計測する。図8に示される時刻補正值記憶レジスタ5215は、CPU54(図5)から出力されCPUバス55を経由して入力された時刻補正值R₅を記憶する。図8に示される時刻計測用カウンタ制御回路5214は、時刻補正值記憶レジスタ5215に記憶された時刻補正值に基づいて時刻計測用カウンタ5213のカウント値を制御する。図8に示される時刻比較回路5216は、入力端子5211を介して入力されるタイムスタンプ信号の値(タイムスタンプ値)R₃と時刻計測用カウンタ5213から出力される時刻計測カウンタ値R₉とを比較し、時刻計測カウンタ値R₉がタイムスタンプ値R₃より大きくなったときにTS読み出しタイミング信号R₄を生成する。

[0031] 図9は、図6に示される受信側メモリ制御回路52内のTSメモリ読み出し制御回路522の構成を概略的に示すブロック図である。図9に示されるように、TSメモリ読み出し制御回路522は、FIFO(First-In First-Out)メモリ5225と、FIFOメモリ5225を制御するFIFOメモリ制御回路5226と、TS読み出しアドレス発生回路5227と、TS書き込みアドレス記憶回路5228と、メモリ記憶データ量積分回路5229と、積分結果記憶レジスタ5230と、TSの出力数を計測するTS出力数計測カウンタ5231と、TS出力数計測カウンタ5231のカウント結果を記憶するTS出力数記憶レジスタ5232と、計測時間測定カウンタ5233と、計測時間測定カウンタ5233のカウント結果を記憶する計測時間記憶レジスタ5234とを有する。

[0032] 図9に示されるTS読み出しアドレス発生回路5227は、TSデータ読み出しタイミング生成回路521(図6)の端子5212を経由して入力されるTS読み出しタイミング信号R₄に基づいて、メモリ53(図5)からのTSの読み出し制御信号R₆を生成し、端子5223から出力する。TS書き込みアドレス記憶回路5228は、CPU54(図5)から端子5224経由で入力されるアドレス情報、すなわち、無線LANモジュール51(図5)で受信

したTSをメモリ53(図5)へ書き込む際のアドレス情報R₇を記憶する。

[0033] 図9に示されるメモリ記憶データ量積分回路5229は、TS読み出しアドレス発生回路5227から出力されるメモリ53(図5)からのTSの読み出しアドレス情報、及び、TS書き込みアドレス記憶回路5228から出力される書き込みアドレス情報に基づいて、メモリ53(図5)に書き込まれる(一時記憶される)データ量を積分して積分結果(後述する図13の斜線領域の面積に相当する)を出力する。図9に示される積分結果記憶レジスタ5230は、メモリ記憶データ量積分回路5229から出力される積分結果を記憶する。なお、実施の形態1においては、CPU54(図5)により積分結果記憶レジスタ5230がアクセスされた際には、メモリ記憶データ量積分回路5229で計測する積分値、及び積分結果記憶レジスタ5230の値を初期値‘0’にセットするように構成する。

[0034] 図9に示されるTS出力数計測カウンタ5231は、TSの出力数を計測し、TS出力数記憶レジスタ5232は、TS出力数計測カウンタ5231のカウント結果を記憶する。また、図9に示される計測時間測定カウンタ5233は、メモリ記憶データ量積分回路5229、及びTS出力数計測カウンタ5231で計測している計測時間を測定する。図9に示される計測時間記憶レジスタ5234は、計測時間測定カウンタ5233から出力される測定結果を記憶する。なお、実施の形態1においては、CPU54(図5)によりTS出力数記憶レジスタ5232、及び計測時間記憶レジスタ5234がアクセスされた際には、TS出力数計測カウンタ5231の値、TS出力数記憶レジスタ5232の値、計測時間測定カウンタ5233の値、及び計測時間記憶レジスタ5234の値を初期値‘0’にセットする。

[0035] 図10は、TS受信時の無線受信装置50内の受信側メモリ制御回路52の動作を示すフローチャートである。また、図11は、実施の形態1の無線受信装置50内のCPU54によるクロックジッタ検出動作を示すフローチャートであり、図12は、図11に示されるフローの中の目標値算出及び設定(図11のステップS16)の動作を示すフローチャートである。また、図13は、無線受信装置50内のメモリ53が記憶するデータ量(TSライン数)の変動を概略的に示す図であり、図14は、実施の形態1におけるデータ伝送システムがクロックジッタを有する場合(無線受信装置50内の基準クロックが無線送信装置40内の基準クロックよりも速い場合)に、無線受信装置50内のメモリ53

が一時記憶するデータ量(TSライン数)の変動を概略的に示す図である。さらに、図15は、実施の形態1における無線受信装置50が時刻補正值(以下「クロックジッタ補正值」とも言う。)を算出する各補正值算出段階(各補正值算出ステージとも言う。)でのクロックジッタ補正值を算出する際の振幅変換テーブルの一例を示す図である。

[0036] 以下に、図5から図15までを用いて、無線送信装置40から送信されたTSを含む無線パケットを受信した無線受信装置50の動作を説明する。無線受信装置50が無線送信装置40から伝送された無線パケットを受信すると、無線受信装置50内の無線LANモジュール51(図5)は、無線パケットの先頭に付加されている無線ヘッダを解析し、受信したパケットがどの無線送信装置(送信元)から送信されたものであり、どの無線受信装置(送信先)へ送信されたものであるかを検出する。この検出の結果、無線パケットが自身の無線受信装置50に送られて来たものでない場合は、その無線受信装置50内の無線LANモジュール51(図5)は、無線パケットを破棄する。無線パケットが自身の無線受信装置50に送られて来たものである場合は、その無線受信装置50内の無線LANモジュール51(図5)は、無線パケットの種類の識別等を実施し、その結果を無線受信装置50内のCPU54(図5)に出力する。無線LANモジュール51(図5)から検出結果を受け取ったCPU54(図5)は、受信したデータがタイムスタンプ付きTSである場合は、タイムスタンプ付きTSを無線受信装置50内のメモリ53(図5)へ転送するようにDMAを起動する。なお、無線LANモジュール51(図5)により受信されたデータが機器制御用データである場合は、CPU54(図5)内で機器制御用データに所定の処理を施した後、機器制御用データをIEEE1394インターフェイスを介し接続された機器へ送出する。なお、IEEE1394インターフェイスは上記映像ストリーム(TS信号、DV信号)、及びAV/Cコマンド(機器制御用信号)を同一の信号線に時分割に多重して伝送する。本実施の形態1では、TSストリームの送受信について詳細に説明するため、図において、IEEE1394インターフェイス、及び機器制御信号(AV/Cコマンド)の入出力端子は省略した。

[0037] 次に、無線受信装置50内の受信側メモリ制御回路52(図5)は、CPU54(図5)からCPUバス55を経由して送られたTS書き込み制御信号に基づいて、無線LANモジュール51(図5)が受信したTSをメモリ53(図5)に書き込み、メモリ53に一時記憶

させる。実施の形態1においては、受信したTSがメモリ53(図5)内の第1のTS記録領域531(図7)に書き込まれるものとする。メモリ53(図5)にTSが書き込まれると、図10に示されるフローに従い、TSデータ読み出しタイミング生成回路521(図6)によりTS読み出しタイミング信号R₄が生成される。なお、無線送信装置40からのTSの受信を開始したときに、CPU54(図5)は、メモリ53(図5)内にTSを記憶できる空き領域が有るか無いかを確認し、図7に示す2つの記憶領域531, 532が既に使用されている場合は、TSを受信できないことを、無線LANモジュール51(図5)を経由して無線送信装置40に通知する。

[0038] 次に、受信したTSを記憶領域に格納する動作を説明する。図10に示されるように、無線LANモジュール51(図5)によりTSの受信が開始されると、無線受信装置50内のCPU54(図5)は、受信されたTSを記憶するメモリ53(図5)内の記憶領域を決定し、この決定された記憶領域を、受信側メモリ制御回路52(図5)内のTSメモリ読み出し制御回路522(図6)に通知する。TSメモリ読み出し制御回路522(図6)は、決定されたメモリ53(図5)内の記憶領域に基づいて、TSを読み出すメモリ53(図5)内の記憶領域を決定する。そして、TSの受信開始後に、受信側メモリ制御回路52(図5)内のTSメモリ読み出し制御回路522(図6)は、受信された先頭のTSのメモリ53(図5)への書き込みが完了したことを確認する(図10のステップS1)。実施の形態1においては、メモリ53(図5)内の第1のTS記憶領域531(図7)の先頭に、受信開始後、最初に書き込まれたTSを、「先頭TS」と言う。受信側メモリ制御回路52(図5)内のTSメモリ読み出し制御回路522(図6)は、TSメモリ読み出し制御回路522(図6)内のTS書き込みアドレス記憶回路5228(図9)から出力される書き込みアドレス情報の変化を検出することによって(すなわち、書き込みアドレス情報が2ライン目のアドレスに変化したことを確認することによって)、メモリ53(図5)内の第1のTS記憶領域531(図7)に対する先頭TSの書き込みが完了したこと確認することができる。

[0039] 先頭TSのメモリ53(図5)への書き込みが確認できた後に、受信側メモリ制御回路52(図5)内のTSメモリ読み出し制御回路522(図6)は、メモリ53(図5)に記憶された先頭TSに付加されているタイムスタンプを読み出す(図10のステップS2)。

[0040] 図10のステップS2においてタイムスタンプの読み出しが終了すると、受信側メモリ

制御回路52(図5)内のTSメモリ読み出し制御回路522(図6)は、メモリ53(図5)内の記憶データ量が所定値以上になるまで待機する(図10のステップS3)。この待機は、VBRのTSに対して、無線受信装置50のクロック周波数を用いたクロック再生を行うために実施する。

[0041] VBRのTSを受信した際のメモリ53(図5)に記憶されているTSの記憶データ量は、例えば、図13に示されるように変化する。なお、図13は無線送信装置40と無線受信装置50の間のクロック信号の同期が取れていた場合の例である。図13において、縦軸はメモリ53(図5)に記憶されているTSの記憶データ量、横軸は時間を示す。図13は、AV-HDD記録再生装置22(図1)等から出力されるTSで、例えば、MPEG2システムで圧縮された映像データを1フレーム単位で読み出すような制御を実施した場合に相当する。具体的には、MPEG2システムで20MbpsのHD(High Definition:高精細度)の映像ストリームをTS形式で伝送した場合について説明する。なお、実施の形態1においては、GOP(Group of Pictures)を15フレームで構成し、1 GOP内のイントラフレーム(Intra Frame)のデータ量は、1GOPの全データ量の20%であると仮定する。また、実施の形態1においては、メモリ53(図5)内の第1のTS記憶領域531(図7)は、1GOP分のデータを記憶できる記憶容量を有するものとする。

[0042] 本実施の形態1では、説明をわかりやすくするため、PCR(Program Clock Reference:プログラムクロック基準)は各フレームの先頭TSに付加されており、33ms毎に伝送されるものとして説明を続ける。無線送信装置40と無線受信装置50との間の無線伝送区間におけるスループットは、20Mbps程度であり、無線経由で受信されるTSの量はほぼ一定の割合で無線受信装置50に入力される。しかし、無線受信装置50内のメモリ53(図5)からのデータの読み出しは、送信時に送信側クロック周波数に基づいてTSに付加されたタイムスタンプを基準に行われる。メモリ53(図5)からイントラフレームを読み出す場合には、非常に短い時間で1GOPのデータ量の20%のデータが読み出されるので、図13に示されるように、メモリ53(図5)のTSの記憶データ量が急激に低下する(図13の期間 $t_{11} \sim t_{12}$ 、線分 $D_{11} D_{12}$ 、又は、期間 $t_{13} \sim t_{14}$ 、線分 $D_{13} D_{14}$)。そして、1GOPの期間をかけてメモリ53の記憶データ量は徐々に初期

値 F_0 に戻る(図13の線分 $D_{12}D_{13}$ 、線分 $D_{14}D_{15}$)。なお、実際には、メモリ53(図5)におけるTSの記憶データ量の変化は、図13に示されるような直線(線分 $D_{11}D_{12}$ 、線分 $D_{12}D_{13}$ 、線分 $D_{13}D_{14}$ 、線分 $D_{14}D_{15}$)にはならないが、実施の形態1においては、発明の理解を容易にするために、直線で描いている。無線受信装置50においては、メモリ53(図5)に記憶されているTSがオーバーフロー又はアンダーフローを起こさないようにするため、受信開始時には、メモリ53(図5)に所定量のTSが記憶されるまで、メモリ53(図5)からのデータの読み出しを開始しない。実施の形態1においては、メモリ53(図5)に1GOPの半分のデータ量(図13の F_0)のTSが記憶された時点で、受信されたTSの読み出しを開始する。

[0043] 図10のステップS3において、メモリ53(図5)の記憶データ量が所定値以上になると、TSデータ読み出しタイミング生成回路521(図6)内の時刻計測用カウンタ制御回路5214(図8)は、時刻制御用カウンタ5213(図8)に、受信された先頭TSに付加されていたタイムスタンプ値を初期値としてセットすると共に、時刻計測用カウンタ5213(図8)に時刻計測のためのカウントアップ動作を開始するよう制御信号を出力する(図10のステップS4)。そして、図10のステップS4において、TSデータ読み出しタイミング生成回路521(図6)内の時刻計測用カウンタ5213(図8)のカウントアップ動作が開始され、その後に、時刻比較回路5216(図8)は、TS読み出しタイミング信号 R_4 を出力する。TS読み出しアドレス発生回路5227(図9)は、TS読み出しタイミング信号 R_4 に基づいて、メモリ53(図5)に記憶されている1TS分のデータの読み出し制御信号 R_6 を端子5223から出力する(図10のステップS5)。

[0044] メモリ53(図5)から読み出されたTSは、受信側メモリ制御回路52(図5)内のバスアービタ回路523(図6)を経由して、TSメモリ読み出し制御回路522(図6)内のFIFOメモリ5225(図9)に入力される。FIFOメモリ5225(図9)は、CPU54(図5)からのTS書き込み制御信号とTSメモリ読み出し制御回路522(図6)からのTS読み出し制御信号との間の、バスアービタ回路523(図6)によるバス調停時に発生した読み出しデータの遅延時間等を吸収する。実施の形態1においては、受信側メモリ制御回路52(図5)内のTSデータ読み出しタイミング生成回路521(図6)から入力されるTS読み出しタイミング信号 R_4 を基準にし、一定時間の遅延量を持たせてFIFOメモリ5225(

図9)からTSを読み出すように、FIFOメモリ制御回路5226(図9)はFIFOメモリ5225(図9)に対して読み出し制御信号を出力する。受信側メモリ制御回路52(図5)におけるTSメモリ読み出し制御回路522(図6)内のFIFOメモリ5225(図9)への書き込み制御は、TS読み出しアドレス発生回路5227(図9)から出力されるTSデータ読み出し制御信号R_{6a}(図9)と、受信側メモリ制御回路52(図5)内のバスアービタ回路523(図6)から出力されるデータ読み出し完了信号(図9には示さず。図6に信号R₈として示す。)、すなわち、メモリ53(図5)からデータの読み出しが完了したことを示す信号とを用いて実施する。なお、バスアービタ回路523(図6)から出力されるデータ読み出し完了信号(図9には示さず。図6に信号R₈として示す。)は、TS読み出しアドレス発生回路5227(図9)によって、TS読み出しアドレスを発生する際に使用される。

[0045] 図10のステップS6において、メモリ53(図5)から1TS分のデータの読み出しが完了すると、TSメモリ読み出し制御回路522(図6)内のTS読み出しアドレス発生回路5227(図9)は、TS書き込みアドレス記憶回路5228(図9)に記憶されている書き込みアドレス情報に基づいて、メモリ53(図5)に次のラインのTSが記憶されているか確認し、記憶されている場合には、次のラインのTSのタイムスタンプを読み出すためのTSデータ読み出し制御信号R₆を発生する(図10のステップS7)。なお、メモリ53(図5)に次のラインのTSが記憶されていない場合は、メモリ53(図5)にアンダーフローが起こったものとして、アンダーフローが発生したことをCPU54(図5)に通知する。実施の形態1では、CPU54(図5)は、アンダーフロー発生が通知されると、一旦、受信側メモリ制御回路52(図5)を所定の初期状態にリセットし、再度、TS受信(図10のステップS1から始まる処理)を実行するものとする。

[0046] 図10のステップS7において、次のラインのTS(「次TS」とも記す。)のタイムスタンプを受け取ると、TSデータ読み出しタイミング生成回路521(図6)内の時刻比較回路5216(図8)は、タイムスタンプ信号R₃と、時刻計測用カウンタ5213(図8)から出力される時刻計測カウント値R₉とを比較し、時刻計測カウント値R₉が入力されたタイムスタンプ信号R₃の値より大きくなったときに(図10のステップS8)、TS読み出しタイミング信号R₄を出力する。TS読み出しタイミング信号R₄を受け取ったTS読み出しア

ドレス発生回路5227(図9)はTSデータ読み出し制御信号R₆を出力する(図10のステップS5)。

[0047] 受信側メモリ制御回路52(図6)は、図10のステップS5～S8(すなわち、破線で囲うステップS9)の動作を繰り返す。無線受信装置50の発振子が発振する受信側基準クロックが無線送信装置40の発振子が発振する送信側基準クロックよりも速く(すなわち、無線受信装置50における受信側クロック周波数が無線送信装置40における送信側クロック周波数よりも高く)なったときに、時刻計測用カウンタ5213(図8)のカウンタ値に基づいて得られる受信側基準時刻(受信側クロック周波数)とタイムスタンプ信号に基づいて得られる送信側基準時刻(送信側クロック周波数)との間に偏差が生じるので、この偏差に基づいた時間だけ、メモリ53(図5)に一時記憶されたTSの読み出しタイミングを遅らせるように、受信側メモリ制御回路52(図6)を制御するよう実施の形態1は構成されている。

[0048] 次に、実施の形態1におけるクロック再生フローを、図11及び図12のフローチャートを用いて説明する。無線受信装置50内のCPU54(図5)は、TSの受信が開始されると、無線パケットに付加されているヘッダ情報に基づいて、送信機(無線送信装置40に相当する。)の識別を実施する(図11のステップS11)。送信機の識別は、例えば、無線パケットのヘッダ情報に付加されているMACアドレス、及び、送信機に固有の機器識別情報(例えば、IPアドレス)の一方又は両方を用いて、実施する。機器識別情報として、MACアドレス、又は、IPアドレスを用いれば無線パケットに新たな情報を付加することなく機器識別情報が入手できるので、無線送信装置40及び無線受信装置50の処理負荷を軽減できると共に、通信帯域に負荷をかけることなく送受信を行うことができる。

[0049] 送信機の識別を実施した後、CPU54(図5)は、送信機の機器識別情報に基づいて、無線受信装置50内の記憶部(例えば、メモリ53の一部、又は、図示しない他のメモリ)に、識別した送信機の時刻補正值(以前の時刻補正值)が既に記憶されているか否かを確認する(図11のステップS12)。無線受信装置50内に識別した送信機の時刻補正值(すなわち、クロックジッタ補正值)が既に記憶されている場合は、CPU54(図5)は、記憶されている時刻補正值(クロックジッタ補正值)を初期値としてTSデ

ータ読み出しタイミング生成回路521(図6)内の時刻補正值記憶レジスタ5215(図8)にセットする(図11のステップS13)。無線受信装置50内に識別した送信機の時刻補正值が記憶されていない場合は、CPU54(図5)は、時刻補正值記憶レジスタ5215(図8)に初期値‘0’をセットする(図11のステップS14)。このように、無線受信装置50内に記憶されている時刻補正值(例えば、過去のデータ受信によって取得した以前の時刻補正值)がある場合に、記憶されている以前の時刻補正值を初期値として利用する理由は、以下の通りである。無線受信装置50は、VBRのTSのクロック再生を実施する。VBRのTSの平均データ伝送レートは20Mbps程度であるが、短い時間単位においては、平均データ伝送レートは大きく変動する。このため、ある程度長い時間で評価すれば、平均データ伝送レートはほぼ一定であり、クロックジッタ値の推定が可能になる。そこで、実施の形態1においては、最小の計測時間を1GOPの期間としている。このように、クロックジッタ値の推定には非常に時間がかかるので、無線受信装置50に、以前TS受信を実施した際に計測した計測結果(以前の時刻補正值)が記憶されている場合には、クロック再生の開始時点において、既に記憶されている以前の時刻補正值を使用することによって、時刻補正值が所定範囲内に収束するまでの時間(後述する図11のステップS17において時刻補正值が収束するまでに要する時間)の短縮を図ることができる。

[0050] TSデータ読み出しタイミング生成回路521(図6)内の時刻補正值記憶レジスタ5215(図8)に初期値のセットが完了した後、CPU54(図5)は、TSメモリ読み出し制御回路522(図6)内の積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)に、初期値‘0’をセットする。その際、TSメモリ読み出し制御回路522(図6)内のメモリ記憶データ量積分回路5229(図9)、TS出力数計測カウンタ5231(図9)、及び計測時間測定カウンタ5233(図9)にも、初期値‘0’をセットする(図11のステップS15)。各種レジスタの初期化が終了すると、CPU54(図5)は、目標値の計測及び設定を実施する(図11のステップS16)。以下、図12を用いて目標値の計測方法について説明する。

[0051] TSの受信が開始されると、目標値の計測が開始される。目標値の計測に際しては、CPU54(図5)は、はじめに、メモリ53(図5)からTSの読み出しが開始されたか否

かを確認する(図12のステップS31)。メモリ53(図5)からのTSの読み出しが開始されたことを確認すると、CPU54(図5)は、目標値を計測するための時間(目標値計測時間)を内部のタイマーにセットする(図12のステップS32)。例えば、目標値計測時間を1GOPの時間である0.5秒に設定する。なお、目標値計測時間を複数GOP分の時間に設定することもできる。

[0052] 次に、タイマーにセットされた目標値計測時間が経過するまで、CPU54(図5)は待機する(図12のステップS33)。目標値計測時間の経過後、CPU54(図5)は、TSメモリ読み出し制御回路522(図6)内の積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)に記憶されている計測結果を読み込み(図12のステップS34)、その後、積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)に初期値‘0’をセットする(図12のステップS35)。このとき、TSメモリ読み出し制御回路522(図6)内のメモリ記憶データ量積分回路5229(図9)、TS出力数計測カウンタ5231(図9)、及び計測時間測定カウンタ5233(図9)をも初期値‘0’にセットする。

[0053] 次に、CPU54(図5)は、各種レジスタ値を用いて目標値の算出を実施する。具体的には、TSメモリ読み出し制御回路522(図6)内のTS出力数記憶レジスタ5232(図9)に記憶されている値 A_{110} を計測時間記憶レジスタ5234(図9)に記憶されている値 B_{110} で除算することによって、TSの平均読み出しレート C_{110} (= A_{110} / B_{110})を算出する。次に、積分結果記憶レジスタ5230(図9)に記憶されている値 D_{110} を、TSの平均読み出しレート C_{110} で除算することによって、目標値 E_{110} (= D_{110} / C_{110})を算出する(図12のステップS36)。なお、実施の形態1においては、メモリ記憶データ量積分回路5229(図9)における積分は、図13に示されるように、基準容量 F_0 とメモリ記憶データ量との差分 ΔF を積分するものとする。従って、図13において斜線で示した部分の面積がメモリ記憶データ量積分回路5229(図9)における積分結果 D_{110} として出力される。また、実施の形態1においては、メモリ記憶データ量積分回路5229(図9)における積分を、メモリ53(図5)からTSが読み出されるタイミングで実施する。以上の処理によって、目標値 E_{110} の計測及び設定が完了する。

[0054] 以上の処理によって目標値 E_{110} の計測及び設定が完了すると、時刻補正值(クロックジッタ補正值)の算出が開始される。CPU54(図5)は、予め定められた計測時間が経過するまで待機する(図11のステップS18)。図11のステップS18における計測時間は、目標値設定の際に用いた目標値計測時間(図12のステップS32)と同様に、1GOPの時間とする。図11のステップS18において計測時間が経過した後、目標値計測の場合と同様に、CPU54(図5)は、積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)に記憶されている計測結果を読み込み(図11のステップS19)、その後、積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)を初期値‘0’にセットする(図11のステップS20)。このとき、メモリ記憶データ量積分回路5229(図9)、TS出力数計測カウンタ5231、及び計測時間測定カウンタ5233をも初期値‘0’にセットする。

[0055] 次に、CPU54(図5)は、各種レジスタ値を用いて、目標値計測の場合(図12のステップS36)と同様に、TS出力数記憶レジスタ5232(図9)に記憶されている値 A_{111} を計測時間記憶レジスタ5234(図9)に記憶されている値 B_{111} で除算することによって、上記期間におけるTSの平均読み出しレート C_{111} (= A_{111} / B_{111})を算出する。次に、積分結果記憶レジスタ5230(図9)に記憶されている値 D_{111} をTSの平均読み出しレート C_{111} で除算することによって、計測値 E_{111} (= D_{111} / C_{111})を算出する。

[0056] そして、上記計測値 E_{111} と上記目標値 E_{110} との偏差(すなわち、差分)を計算し、計算された偏差に対応する値を時刻補正值(クロックジッタ補正值)とする。実施の形態1においては、クロックジッタ補正值に関しては、図15に示すような予め定められた変換テーブル、すなわち、算出された偏差とクロックジッタ補正值とを対応付けた変換テーブルを2つ準備しておき、クロックジッタ補正值を算出する。なお、準備しておく変換テーブルの数は1つ又は3つ以上であってもよい。

[0057] 次に、図14を用いて、クロックジッタ値dSUMを具体的に説明する。図14は、無線受信装置50の受信側クロック周波数が無線送信装置40の送信側クロック周波数よりも高く、無線受信装置50の基準クロックが無線送信装置40の基準クロックよりも速い場合を示している。なお、実際のクロック周波数の偏差は、無線送信装置40の発振

子と無線受信装置50の発振子の精度に依存し、水晶発振子を使用した場合、最大のクロック偏差は、 $\pm 100\text{ppm}$ (parts per million) 程度となる。なお、図14においては、説明をわかりやすくするため、クロックジッタ値dSUMを強調して描いている(すなわち、線分 $D_{21}D_{25}$ に対する線分 $D_{21}D_{25a}$ の勾配を実際よりも急に描いている)。このように、無線受信装置50の受信側クロック周波数が無線送信装置40の送信側クロック周波数よりも高いので、無線受信装置50内の時刻計測用カウンタ5213(図8)のカウント値が速く進み、メモリ53(図5)に記憶されているTSのデータ量が徐々に(図14の線分 $D_{21}D_{25a}$ のように)減ってくる。この場合、受信側クロック周波数と送信側クロック周波数との間の偏差は、一定である(すなわち、TSの入力レートの変化等に起因して変動しない)。したがって、図14に示した斜線部分がクロックジッタ値dSUM(上記計測値 E_{111} と上記目標値 E_{110} との差分に対応する値)になる。よって、CPU54(図5)は、クロックジッタ値に応じたクロックジッタ補正值を算出する。そして、CPU54(図5)は、算出したクロックジッタ補正值を時刻補正值記憶レジスタ5215(図8)にセットする(図11のステップS21)。なお、算出したクロックジッタ補正值は、既に時刻補正值記憶レジスタ5215(図8)によって制御されている制御結果に基づいたものであるので、上記アルゴリズムで算出されるクロックジッタ値はその差分である。従って、時刻補正值記憶レジスタ5215(図8)にクロックジッタ補正值をセットする場合は、現在のセットされているクロックジッタ補正值に、上記算出したクロックジッタ補正值を加算する。

[0058] 実施の形態1においては、クロックジッタ補正值算出の際、TSの平均読み出しレート C_{110} (目標値 E_{110} 算出時)及び C_{111} (計測値 E_{111} 算出時)を使用する。これは以下の理由による。メモリ記憶データ量積分回路5229(図9)でメモリ53(図5)内に書き込まれた記憶データ量を積分するタイミングの制御を簡単にするために、TS読み出しアドレス発生回路5227(図9)でTSをメモリ53(図5)から読み出すタイミングに同期して読み出すよう構成した。従って、平均データ転送レートが20MbpsのTSを受信している場合と、平均データ転送レートが5MbpsのTSを受信している場合とでは、求めるクロックジッタ値(図14の斜線領域の積分値に相当する。)の大きさが異なるため、それを正規化するためにTSの平均読み出しレートで正規化するよう構成した。

[0059] 次に、クロックジッタ補正值を用いたクロック再生方法について説明する。TSデータ読み出しタイミング生成回路521(図6)内の時刻計測用カウンタ制御回路5214(図8)においては、予め定められた時間間隔ごとに(実施の形態1においては100msごとに)、時刻補正值記憶レジスタ5215(図8)に記憶されているクロックジッタ補正值を時刻計測用カウンタ5213のカウント値に加算することによって、時刻計測用カウンタ5213(図8)の出力値を補正する。図14に示されるケースは、無線受信装置50内の受信側クロック周波数が無線送信装置40内の送信側クロック周波数よりも高く、メモリ53(図5)の記憶データ量が減少しつつある場合を示している。この場合には、時刻計測用カウンタ5213は、100msに1度、クロックジッタ補正值分、時刻が戻される(強制的に時刻を遅らせる。)。このようにクロックジッタ補正值分、時刻を戻すことによって、無線受信装置50内におけるクロック周波数に基づく基準時刻を、無線送信装置40内のクロック周波数に基づく基準時刻に近づけることができる。

[0060] 実施の形態1に示されるように、無線受信装置50においてはクロック再生(クロックジッタ補正)の際に、TSデータ読み出しタイミング生成回路521(図6)内の時刻計測カウンタ5213(図8)のカウンタ値に、一定の周期で時刻補正值記憶レジスタ5215(図8)に記憶されている時刻補正值(クロックジッタ補正值)をオフセットとして加えるよう構成しているので、無線受信装置50内のシステムクロック周波数を変えることなく、適切なクロック再生を実現できる。従って、実施の形態1の無線受信装置50を用いれば(すなわち、実施の形態1のデータ受信方法を用いれば)、複数の無線送信装置から送られてきたTSのそれぞれをメモリ53(図5)内の異なる記憶領域に記憶すると共に、それぞれの記憶領域に対応した時刻計測カウンタ5213(図8)を備えることにより、複数の無線送信装置から送られてきたTSのそれぞれの読み出しタイミングを発生すれば、受信した複数のTSのクロック再生を並行して実行できる。

[0061] クロックジッタ補正值の算出及びセットが終了すると、CPU54(図5)は、クロックジッタ補正值が、収束したか否かを判断する。具体的には、計算されたクロックジッタ補正值が所定範囲内に入っていた場合に、収束したと判断する(図11のステップS22)。収束していないと判断された場合は、再度、同一の計測条件でクロックジッタ計測を開始する。収束したと判断した場合は、計測時間を変更し(図11のステップS23)、

再度、クロックジッタの計測を開始する(図11のステップS18以降)。その際、クロックジッタ補正值算出用の変換テーブルも、図15に示される実線の変換テーブル(勾配の急な直線)から、破線の変換テーブル(勾配の緩やかな直線)に変更することが望ましい。これは、以下の理由による。クロックジッタ値はシステムクロック周波数の偏差に依存するため、機器が特定されればほぼ一定の値になる。従って、クロックジッタ補正值をある一定の収束範囲内まで引き込む際(例えば、受信開始直後)には、クロックジッタ補正值算出の際のゲイン(変換テーブルを示す直線の勾配)を大きくして、引き込み時間を短縮する。そして、クロックジッタ補正值をある一定の収束範囲内まで引き込んだ後には、ゲインを小さくして、システムの安定性を重視するよう構成する。これにより、クロックジッタ補正值を収束範囲内までの引き込む時間を短縮できと共に、クロックジッタ補正值を収束範囲内にした後には無線受信装置50を安定に動作させることができる。また、実施の形態1において、計測時間を長くする理由は、計測時間を長くして計測値の精度を向上させ、クロックジッタ補正值の収束後に無線受信装置50を安定に動作させることができるようにするためである。なお、実施の形態1においては、クロックジッタ値が収束しても、PLL(Phase-Locked Loop)制御等を採用していないので、データ受信時にはクロックジッタ補正值を更新し続ける必要がある。

[0062] 以上に説明したように、実施の形態1のデータ受信方法(実施の形態1の無線受信装置50)を用いれば、ジッタを有する無線を介して伝送されたVBRのTSを受信する場合であっても、アンダーフロー、あるいはオーバーフローを生じさせることなく連続的にTSを出力することができる。このため、MPEG2システムのTSを受信側の機器で復号し再生する場合に、映像を途切れさせることなくMPEG2データを再生することができる。

[0063] また、実施の形態1のデータ受信方法(実施の形態1の無線受信装置50)を用いれば、受信側メモリ53が複数の記憶領域を有するので、1台の無線受信装置50で複数のデータ送信装置から出力されるパケットデータを受信することができ、各々の受信パケットデータごとにアンダーフロー、あるいはオーバーフローを生じさせることなく連続的にデータを出力することができる。また、受信側メモリ53が複数の記憶領域を

有するので、簡単な回路構成で複数のストリームを扱うことができ、回路規模の抑制、及び、消費電力及び製造コストの低減を図ることができる。

[0064] 実施の形態2.

図16は、本発明の実施の形態2における無線受信装置のクロックジッタ検出動作を示すフローチャートである。また、図17は、実施の形態2における無線受信装置による変換テーブル選択のために使用されるテーブルを示す図である。また、図18は、実施の形態2における無線受信装置がクロックジッタ補正值を算出するために使用する変換テーブルを示す図である。

[0065] 実施の形態2におけるデータ受信方法は、メモリ記憶データ量積分回路5229(図9)における積分方法、クロックジッタ補正值の収束判定方法、及びクロックジッタ検出方法を除き、上記実施の形態1におけるデータ受信方法と同じである。具体的に言えば、実施の形態1と実施の形態2は、以下の相違点を持つ。実施の形態1においては、メモリ記憶データ量積分回路5229(図9)によってメモリ53(図5)に記憶されているTSの記憶データ量を積分するタイミングは、制御を簡単にするために、TSメモリ読み出し制御回路522(図6)内のTS読み出しアドレス発生回路5227(図9)によりメモリ53(図5)からTSを読み出すタイミングに同期するように構成している。これに対し、実施の形態2においては、TSの記憶データ量を積分するタイミングは、無線受信装置内の受信側クロック周波数に基づいて作成した予め定められたタイミングになるように構成している。なお、以下の実施の形態2の説明においては、上記実施の形態1において用いた図1～図10及び図12をも参照する。また、図16において、図11のステップと同じ処理を行うステップには、同じ符号を付す。

[0066] 実施の形態2における無線送信装置40から送信されたTSを含む無線パケットを受信した際の無線受信装置50におけるクロック再生フローについて、図16及び図12を用いて説明する。図16に示されるように、無線受信装置50内のCPU54(図5)は、TSの受信が開始されると、無線パケットに付加されているヘッダ情報に基づいて、送信機(無線送信装置40に相当する。)の識別を実施する(図16のステップS11)。送信機の識別は、例えば、無線パケットのヘッダ情報に付加されているMACアドレス、及び、送信機に固有の機器識別情報(例えば、IPアドレス)の一方又は両方を用い

て、実施する。機器識別情報として、MACアドレス、又は、IPアドレスを用いれば、無線パケットに新たな情報を付加することなく機器識別情報が入手できるので、無線送信装置40及び無線受信装置50の処理負荷を軽減することができると共に、通信帯域に負荷をかけることなく送受信を行うことができる。

[0067] 送信機の識別を実施した後、無線受信装置50内のCPU54(図5)は、送信機の機器識別情報に基づいて、無線受信装置50内の記憶部(例えば、メモリ53の一部、又は、図示しない他のメモリ)に、過去に識別された送信機の時刻補正值(「以前の時刻補正值」とも言う。)が既に記憶されているか否かを確認する(図16のステップS12)。

[0068] 図16のステップS12において、無線受信装置50内に以前の時刻補正值(クロックジッタ補正值)が既に記憶されている場合は、CPU54(図5)は、記憶されている以前の時刻補正值を初期値としてTSデータ読み出しタイミング生成回路521(図6)内の時刻補正值記憶レジスタ5215(図8)にセットする(図16のステップS13)。その後、目標値を計測するために用いる計測時間T(n)をセットし、クロックジッタ補正值算出用の変換テーブルをTable(n)をセットする(図16のステップS41)。ここで、nはiであり、図17に示されるように、実施の形態2においては、iは0から4までの5通りの値をとることができる。また、クロックジッタ補正值算出の際の収束結果に応じてiの値を切り替えることにより、計測時間T(n)及びクロックジッタ補正值算出用の変換テーブルTable(n)を切り換えることができるよう構成している。

[0069] 図16のステップS12において、無線受信装置50内に以前の時刻補正值が記憶されていない場合は、時刻補正值記憶レジスタ5215(図8)に初期値‘0’をセットする(図16のステップS14)。その後、n=i=0とし、計測時間をT(0)にセットし、クロックジッタ補正值算出用の変換テーブルをTable(0)にセットする(図16のステップS42)。これは、以下の理由による。実施の形態1の場合と同様に、VBRのTSのクロック再生を実施する場合には、計測時間が短い時間単位においては平均データ伝送レートが大きく変動する。このため、ある程度長い時間で評価すれば、平均データ伝送レートはほぼ一定であり、クロックジッタ値の推定が可能になる。しかし、実施の形態1において用いた1GOPの受信データ量が常に一定である保証はない。従って、クロックジ

ジッタ値をより一層高精度に推定しようとした場合、計測時間を長くする必要がある。一方、無線送信装置40と無線受信装置50の間の水晶発振子のクロック周波数の偏差が、無線送信装置40については中心周波数に対して-100ppm(parts per million)であり、無線受信装置50については中心周波数に対して+100ppmである場合に、システムクロックを27MHzとすると、それぞれのシステムクロック周波数は以下のようになる。

無線送信装置40のクロック周波数=26. 9973MHz

無線受信装置50のクロック周波数=27. 0027MHz

従って、1秒間のクロック数の差は、5400クロック(=27. 0027MHz-26. 9973MHz=0. 0054MHz)になる。よって、1秒当たりの時間のずれ量は(5400/27MHz)秒、すなわち、約200μsとなる。

[0070] 一方、TSに許容されるジッタの最大値は50μsであるので、無線受信装置50は、できるだけ早くクロックジッタの補正を収束させる必要がある。VBRの場合、最小の制御単位は1GOPであり、送受信開始時には1GOP単位によるクロックジッタ補正制御になるため、なるべく早く所定のクロック周波数偏差以下にクロックジッタ値を抑え込まなければならない。従って、クロックジッタ値の推定のために複数の計測時間、及び複数のジッタ補正テーブルを持つよう構成し、送受信開始時(及び送受信開始時直後の期間)にはクロックジッタ値の急速な収束のための粗調整(ラフなクロックジッタ補正)を実施し、クロックジッタ値の収束の程度に応じて、徐々に微調整(精度の高いクロックジッタ補正)を実行するように構成した。また、実施の形態2においては、実施の形態1と同様に、無線送信装置40と以前TS受信を実施した際に計測した計測結果が記憶されていた場合は、記憶されていた時刻補正值を使用することによって(すなわち、クロック周波数の偏差を小さく抑えることができる時刻補正值を使用することによって)、受信開始時からシステム動作の安定化を図ることができる。

[0071] 計測時間T(n)及びクロックジッタ補正值算出用の変換テーブルTable(n)のセットを完了した後、CPU54(図5)は、TSメモリ読み出し制御回路522(図6)内の積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)に初期値‘0’をセットする。このとき、TSメモリ読み出し制御回

路522(図6)内のメモリ記憶データ量積分回路5229(図9)、TS出力数計測カウンタ5231、及び計測時間測定カウンタ5233をも初期値‘0’にセットする(図16のステップS15)。各種レジスタの初期化が終了すると、次に目標値の計測及び設定を実施する(図16のステップS16)。以下、実施の形態2における目標値の計測方法について、図12を用いて説明する。

[0072] 実施の形態2における無線受信装置50は、実施の形態1の場合と同様に、TSの受信が開始されると、目標値の計測を開始する。なお、図12のステップS31～S33における動作は、実施の形態1の場合と同様である。なお、実施の形態2においては、目標値の計測の際の計測時間(以下「目標値計測時間」と言う。)を2秒とした場合について説明する。目標値計測時間の経過後(受信した先頭のTSが読み出されてから2秒後)、CPU54(図5)は、TSメモリ読み出し制御回路522(図6)内の積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)に記憶されている計測結果を読み込む(図12のステップS34)と共に、積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)を初期値‘0’にセットする(図12のステップS35)。このとき、TSメモリ読み出し制御回路522(図6)内のメモリ記憶データ量積分回路5229(図9)、TS出力数計測カウンタ5231(図9)、及び計測時間測定カウンタ5233(図9)をも初期値‘0’にセットする。

[0073] 次に、CPU54(図5)は、各種レジスタ値を用いて目標値の算出を実施する。具体的には、TSメモリ読み出し制御回路522(図6)内のTS出力数記憶レジスタ5232(図9)に記憶されている値 A_{120} を計測時間記憶レジスタ5234(図9)に記憶されている値 B_{120} で除算することによって、TSの平均読み出しレート $C_{120} (=A_{120}/B_{120})$ を算出し、算出結果を記憶する。次に、CPU54(図5)は、積分結果記憶レジスタ5230(図9)に記憶されている値 D_{120} を計測時間記憶レジスタ5234(図9)に記憶されている値 B_{120} で除算することによって、目標値 $E_{120} (=D_{120}/B_{120})$ を算出する(図12のステップS36)。なお、実施の形態2においては、実施の形態1と同様に、図13に示されるように、基準容量 F_0 とメモリ記憶データ量との差分 ΔF を積分するものとする。従って、図13において斜線で示した部分の面積に相当する値がメモリ記憶データ量積

分回路5229(図9)における積分結果 D_{120} として出力される。なお、実施の形態2においては、メモリ記憶データ量積分回路5229(図9)における積分タイミングを無線受信装置50内の基準クロックに基づいて作成する点で、メモリ記憶データ量積分回路5229(図9)における積分タイミングをTS読み出しタイミングに一致させた実施の形態1の場合と異なる。このため、目標値を設定する際には、実施の形態1の場合のように、メモリ記憶データ量積分回路5229(図9)の積分値をメモリ53(図5)から読み出したTSの平均読み出しレートで除算するのではなく、メモリ記憶データ量積分回路5229(図9)の積分値を計測時間で除算することによって、目標値を求める。

[0074] 上記方法で目標値の計測及び設定が完了すると、クロックジッタ補正值の算出が開始される。CPU54(図5)は、予め定められた計測時間 $T(n)$ が経過するまで待機する(図16のステップS18)。実施の形態2においては、計測時間 $T(n)$ は図17に示す $i=n$ の値に基づき設定される。既に、クロックジッタ補正值を取得している場合($i=4$ の場合)には計測時間 $T(n)$ は8秒(図17における $i=4$)に設定され、クロックジッタ補正值を取得していない場合には計測時間 $T(n)$ は0.5秒(図17における $i=0$)とする。計測時間 $T(n)$ 経過後に、目標値計測の場合と同様に、CPU54(図5)は、TSメモリ読み出し制御回路522(図6)内の積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)に記憶されている計測結果を読み込む(図16のステップS19)と共に、積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)を初期値‘0’にセットする(図16のステップS20)。このとき、メモリ記憶データ量積分回路5229(図9)、TS出力数計測カウンタ5231(図9)、及び計測時間測定カウンタ5233(図9)も初期値‘0’にセットする。

[0075] 次に、CPU54(図5)は、各種レジスタ値を用いて、目標値計測の場合(図12のステップS36)と同様に、計測値の算出を実施する。具体的には、TS出力数記憶レジスタ5232(図9)に記憶されている値 A_{121} を計測時間記憶レジスタ5234(図9)に記憶されている値で B_{121} 除算することによって、上記期間におけるTSの平均読み出しレート C_{121} (= A_{121} / B_{121})を算出する。そして、上記TSの平均読み出しレート情報に基づいて、計測期間内でTSの受信データレートが所定値よりも大きく変化したか

否かを確認する。TSの平均読み出しレート C_{121} が所定値よりも大きく変化した場合は、実施の形態2においては、再度、目標値の設定ルーチンに入り、目標値を変更する。これは、以下の理由による。クロックジッタ値は、無線送信装置40及び無線受信装置50の間のシステムクロックの周波数偏差に起因するものである。従って、受信中に受信レートが変化してもクロックジッタ値は変化しない。実施の形態2においては、メモリ53(図5)内に所定量のTSを記憶した後、読み出し制御を開始する。従って、無線受信装置50においてはTSの平均受信レートが変化した場合、メモリ53(図5)に記憶する所定のTS数分の遅れ時間を有する。例えば、平均受信データレートが20Mbpsから12Mbpsに変化した場合は、メモリ53(図5)に記憶されるTSの量は20MbpsのTSを受信していた場合と比較して遅れ時間分のTS受信レート差(8Mbps)分だけメモリ53(図5)に記憶されている平均記憶データ量が減少する。一方、平均受信データレートが8Mbpsから20Mbpsに上がった場合は、反対に遅れ時間分のTS受信レート差(12Mbps)分だけメモリ53(図5)に記憶されている平均記憶データ量が増加する。従って、実施の形態2においては、TSの平均読み出しレートの算出結果を用いて、目標値を再度設定し直すか否かを判断する。

[0076] 目標値の再設定の必要がない場合は、TSメモリ読み出し制御回路522(図6)内の積分結果記憶レジスタ5230(図9)に記憶されている値 D_{121} を計測時間記憶レジスタ5234(図9)に記憶されている値 B_{121} で除算することによって、計測値 E_{121} (= D_{121} / B_{121})を算出する。

[0077] そして、上記計測値 E_{121} (すなわち、先頭TSより後に受信されたTSについて得られた計測値)と上記目標値 E_{120} (すなわち、先頭TSについて得られた計測値)との偏差(すなわち、差分)を計算し、計算された偏差に対応する値を時刻補正值(クロックジッタ補正值)とする。実施の形態2においては、クロックジッタ補正值に関しては、図18に示すような予め定められた計算結果(偏差)とクロックジッタ補正值とを対応付けた変換テーブルを複数準備しておき(実施の形態2においては5つ)、iの値に応じてクロックジッタ補正用のテーブルを切り換えてクロックジッタ補正值を算出する。そして、算出結果をクロックジッタ補正值として時刻補正值記憶レジスタ5215(図8)にセットする(図16のステップS21)。なお、算出したクロックジッタ補正值は、既に時刻補正

値記憶レジスタ5215(図8)によって制御されている制御結果に基づいたものであるので、実施の形態1と同様に、上記アルゴリズムで算出されるクロックジッタ値はその差分である。従って、TSデータ読み出しタイミング制御回路521(図6)内の時刻補正值記憶レジスタ5215(図8)にクロックジッタ補正值をセットする場合は、現在セットされているクロックジッタ補正值に上記算出したクロックジッタ補正值を加算した値をセットする。

[0078] 次に、クロックジッタ補正值を用いたクロック再生方法に関して説明する。実施の形態1と同様に、TSデータ読み出しタイミング生成回路521(図6)内の時刻計測用カウンタ制御回路5214(図8)においては、予め定められた時間間隔ごとに(実施の形態2においては100msごと)、時刻補正值記憶レジスタ5215(図8)に記憶されているクロックジッタ補正值を時刻計測用カウンタ値に加算することによって、時刻計測用カウンタ5213(図8)の出力値を補正する。図14に示されるケースは、無線受信装置50内の受信側クロック周波数が無線送信装置40内の送信側クロック周波数よりも高く、メモリ53(図5)の記憶データ量が減少しつつある場合を示している。この場合には、時刻計測用カウンタ5213は、100msに1度、クロックジッタ補正值分、時刻が戻される(強制的に時刻を遅らせる。)。このようにクロックジッタ補正值分、時刻を戻すことによって、無線受信装置50内におけるクロック周波数に基づく基準時刻を、無線送信装置40内のクロック周波数に基づく基準時刻に近づけることができる。

[0079] クロックジッタ補正值の算出及びセットが終了すると、CPU54(図5)は、クロックジッタ補正值が、収束したか否かを判断する。具体的には、計算されたクロックジッタ補正值が所定値の範囲内に入っている場合に、収束したと判断する(図16のステップS22)。収束していないと判断された場合は、再度、同一の計測条件でクロックジッタ計測を開始する。収束したと判断された場合は、計測時間T(n)及びクロックジッタ算出用のテーブルTable(n)を変更し、再度、クロックジッタの計測を開始する(このとき、i=i+1も実施する。)(図16のステップS43)。その際、クロックジッタ補正值算出用の変換テーブルも、図18に示されるように変更する。なお、i=4の場合には、収束は完了しているものと判断し、計測時間及びクロックジッタ補正用のテーブルの変更は行わない。

[0080] 以上の制御を行う理由は、実施の形態1の場合と同様に、以下のとおりである。クロックジッタは、システムクロック周波数の偏差に依存するため、機器が特定されればほぼ一定の値になる。従って、クロックジッタ補正值がある一定の収束範囲内まで引き込む際にはクロックジッタ補正值算出の際のゲイン(図18の直線の勾配)を大きくして引き込み時間を早くする。そして、クロックジッタ補正值がある収束範囲内まで引き込んだ後には、クロックジッタ補正值算出の際のゲインを小さくしてシステムの安定性を重視するよう構成する。このような制御を複数の段階に分けて切り換えることによって、システムの収束を早めると共に、収束前の段階においてもシステムをより安定に動作させることができる。同様に、計測時間を長くするのは、計測時間を長くして計測値の精度を向上させ、収束時のシステムの安定化を図るためである。なお、実施の形態2においては、クロックジッタに関しては、収束してもPLL制御等を採用していないので、データ受信時にはクロックジッタ補正值を更新し続ける必要がある。

[0081] 以上に説明したように、実施の形態2のデータ受信方法を用いれば、ジッタを有する無線を介して伝送されたVBRのTSを受信する場合であっても、アンダーフロー、あるいはオーバーフローを生じさせることなく連続的にTSを出力することができる。このため、MPEG2システムのTSを受信側の機器で復号し再生する場合に、映像を途切れさせることなくMPEG2データを再生することができる。なお、実施の形態2において、上記以外の点は、上記実施の形態1の場合と同じである。

[0082] また、実施の形態2のデータ受信方法を用いれば、平均受信レートが大きく変化した場合はクロック周波数の偏差を計算する際の目標値を再設定するように制御するので、受信したデータの平均受信レートが変化した場合であっても、クロック再生を行うことができる。このため、MPEG2システムのTSを受信側の機器で復号し再生する場合に、映像を途切れさせることなくMPEG2データを再生することができる。

[0083] 実施の形態3.

本発明の実施の形態3に係るデータ受信方法は、無線受信装置50内のCPU54によるクロックジッタ検出動作の点において、上記実施の形態1に係るデータ受信方法と異なる。この点を除き、実施の形態3に係るデータ受信方法は、上記実施の形態1に係るデータ受信方法と同じである。したがって、実施の形態3においては、上記

実施の形態1において用いた図1から図10まで、並びに、図13及び図14をも参照する。

[0084] 図19は、実施の形態3における無線受信装置50内のCPU54によるクロックジッタ検出動作を示すフローチャートであり、図20は、図19に示されるフローの中の初期値計測、及び設定(図19のステップS216)の動作を示すフローチャートである。また、図21は、実施の形態3におけるクロックジッタ値の算出の動作を示すフローチャートである。図22は、実施の形態3におけるクロックジッタ補正值の算出の動作を示すフローチャートである。図23は、実施の形態3におけるクロックジッタ値算出時におけるクロックジッタ補正值の収束判定の動作を示すフローチャートである。さらに、図24は、実施の形態3における無線受信装置50が時刻補正值(クロックジッタ補正值)を算出する際に使用する各補正值算出段階(各補正值算出ステージ)での計測時間、及び収束判定に使用する閾値、収束判定条件を定めるテーブルの一例を示す図である。また、図25は、実施の形態3における無線受信装置がクロックジッタ補正值を算出するために使用する変換テーブル(計測値に乗算するゲインテーブル)の一例を示す図である。

[0085] 以下に、図5ー図10、図13、図14、図19ー図25を用いて、無線送信装置40から送信されたTSを含む無線パケットを受信した実施の形態3における無線受信装置50の動作を説明する。実施の形態3における無線受信装置50が無線送信装置40から伝送された無線パケットを受信すると、無線受信装置50内の無線LANモジュール51(図5)は、無線パケットの先頭に付加されている無線ヘッダを解析し、受信したパケットがどの無線送信装置(送信元)から送信されたものであり、どの無線受信装置(送信先)へ送信されたものであるかを検出する。この検出の結果、無線パケットが自身の無線受信装置50に送られて来たものでない場合は、その無線受信装置50内の無線LANモジュール51(図5)は、無線パケットを破棄する。無線パケットが自身の無線受信装置50に送られて来たものである場合は、その無線受信装置50内の無線LANモジュール51(図5)は、無線パケットの種類の識別等を実施し、その結果を無線受信装置50内のCPU54(図5)に出力する。無線LANモジュール51(図5)から検出結果を受け取ったCPU54(図5)は、受信したデータがタイムスタンプ付きTSで

ある場合は、タイムスタンプ付きTSを無線受信装置50内のメモリ53(図5)へ転送するようにDMAを起動する。なお、無線LANモジュール51(図5)により受信されたデータが機器制御用データである場合は、CPU54(図5)内で機器制御用データに所定の処理を施した後、機器制御用データをIEEE1394インターフェイスを介し接続された機器へ送出する。なお、IEEE1394インターフェイスは上記映像ストリーム(TS信号、DV信号)、及びAV/Cコマンド(機器制御用信号)を同一の信号線に時分割に多重して伝送する。本実施の形態3では、TSストリームの送受信について詳細に説明するため、図において、IEEE1394インターフェイス、及び機器制御信号(AV/Cコマンド)の入出力端子は省略した。

[0086] 次に、無線受信装置50内の受信側メモリ制御回路52(図5)は、CPU54(図5)からCPUバス55を経由して送られたTS書き込み制御信号に基づいて、無線LANモジュール51(図5)が受信したTSをメモリ53(図5)に書き込み、メモリ53に一時記憶させる。実施の形態3においては、受信したTSがメモリ53(図5)内の第1のTS記録領域531(図7)に書き込まれるものとする。メモリ53(図5)にTSが書き込まれると、図10に示されるフローに従い、TSデータ読み出しタイミング生成回路521(図6)によりTS読み出しタイミング信号R₄が生成される。なお、無線送信装置40からのTSの受信を開始したときに、CPU54(図5)は、メモリ53(図5)内にTSを記憶できる空き領域が有るか無いかを確認し、図7に示す2つの記憶領域531、532が既に使用されている場合は、TSを受信できないことを、無線LANモジュール51(図5)を経由して無線送信装置40に通知する。

[0087] 次に、受信したTSを記憶領域に格納する動作を説明する。図10に示されるように、無線LANモジュール51(図5)によりTSの受信が開始されると、無線受信装置50内のCPU54(図5)は、受信されたTSを記憶するメモリ53(図5)内の記憶領域を決定し、この決定された記憶領域を、受信側メモリ制御回路52(図5)内のTSメモリ読み出し制御回路522(図6)に通知する。TSメモリ読み出し制御回路522(図6)は、決定されたメモリ53(図5)内の記憶領域に基づいて、TSを読み出すメモリ53(図5)内の記憶領域を決定する。そして、TSの受信開始後に、受信側メモリ制御回路52(図5)内のTSメモリ読み出し制御回路522(図6)は、受信された先頭のTSのメモリ5

3(図5)への書き込みが完了したことを確認する(図10のステップS1)。実施の形態3においては、メモリ53(図5)内の第1のTS記憶領域531(図7)の先頭に、受信開始後、最初に書き込まれたTSを、「先頭TS」と言う。受信側メモリ制御回路52(図5)内のTSメモリ読み出し制御回路522(図6)は、TSメモリ読み出し制御回路522(図6)内のTS書き込みアドレス記憶回路5228(図9)から出力される書き込みアドレス情報の変化を検出することによって(すなわち、書き込みアドレス情報が2ライン目のアドレスに変化したことを確認することによって)、メモリ53(図5)内の第1のTS記憶領域531(図7)に対する先頭TSの書き込みが完了したこと確認することができる。

- [0088] 先頭TSのメモリ53(図5)への書き込みが確認できた後に、受信側メモリ制御回路52(図5)内のTSメモリ読み出し制御回路522(図6)は、メモリ53(図5)に記憶された先頭TSに付加されているタイムスタンプを読み出す(図10のステップS2)。
- [0089] 図10のステップS2においてタイムスタンプの読み出しが終了すると、受信側メモリ制御回路52(図5)内のTSメモリ読み出し制御回路522(図6)は、メモリ53(図5)内の記憶データ量が所定値以上になるまで待機する(図10のステップS3)。この待機は、VBRのTSに対して、無線受信装置50のクロック周波数を用いたクロック再生を行うために実施する。
- [0090] VBRのTSを受信した際のメモリ53(図5)に記憶されているTSの記憶データ量は、例えば、図13に示されるように変化する。なお、図13は無線送信装置40と無線受信装置50の間のクロック信号の同期が取れていた場合の例である。図13において、縦軸はメモリ53(図5)に記憶されているTSの記憶データ量、横軸は時間を示す。図13は、AV-HDD記録再生装置22(図1)等から出力されるTSで、例えば、MPEG2システムで圧縮された映像データを1フレーム単位で読み出すような制御を実施した場合に相当する。具体的には、MPEG2システムで20MbpsのHD(High Definition:高精細度)の映像ストリームをTS形式で伝送した場合について説明する。なお、実施の形態3においては、GOPを15フレームで構成し、1GOP内のインカラーフレームのデータ量は、1GOPの全データ量の20%であると仮定する。また、実施の形態3においては、メモリ53(図5)内の第1のTS記憶領域531(図7)は、1GOP分のデータを記憶できる記憶容量を有するものとする。

[0091] 本実施の形態3では、説明をわかりやすくするため、PCRは各フレームの先頭TSに付加されており、33ms毎に伝送されるものとして説明を続ける。無線送信装置40と無線受信装置50との間の無線伝送区間におけるスループットは、20Mbps程度であり、無線経由で受信されるTSの量はほぼ一定の割合で無線受信装置50に入力される。しかし、無線受信装置50内のメモリ53(図5)からのデータの読み出しは、送信時に送信側クロック周波数に基づいてTSに付加されたタイムスタンプを基準に行われる。メモリ53(図5)からイントラフレームを読み出す場合には、非常に短い時間で1GOPのデータ量の20%のデータが読み出されるので、図13に示されるように、メモリ53(図5)のTSの記憶データ量が急激に低下する(図13の期間 $t_{11} \sim t_{12}$ 、線分 $D_{11} D_{12}$ 、又は、期間 $t_{13} \sim t_{14}$ 、線分 $D_{13} D_{14}$)。そして、1GOPの期間をかけてメモリ53の記憶データ量は徐々に初期値 F_0 に戻る(図13の線分 $D_{12} D_{13}$ 、線分 $D_{14} D_{15}$)。なお、実際には、メモリ53(図5)におけるTSの記憶データ量の変化は、図13に示されるような直線(線分 $D_{11} D_{12}$ 、線分 $D_{12} D_{13}$ 、線分 $D_{13} D_{14}$ 、線分 $D_{14} D_{15}$)にはならないが、実施の形態3においては、発明の理解を容易にするために、直線で描いている。無線受信装置50においては、メモリ53(図5)に記憶されているTSがオーバーフロー又はアンダーフローを起こさないようにするために、受信開始時には、メモリ53(図5)に所定量のTSが記憶されるまで、メモリ53(図5)からのデータの読み出しを開始しない。実施の形態3においては、メモリ53(図5)に1GOPの半分のデータ量(図13の F_0)のTSが記憶された時点で、受信されたTSの読み出しを開始する。

[0092] 図10のステップS3において、メモリ53(図5)の記憶データ量が所定値以上になると、TSデータ読み出しタイミング生成回路521(図6)内の時刻計測用カウンタ制御回路5214(図8)は、時刻計測用カウンタ5213(図8)に、受信された先頭TSに付加されていたタイムスタンプ値を初期値としてセットすると共に、時刻計測用カウンタ5213(図8)に時刻計測のためのカウントアップ動作を開始するよう制御信号を出力する(図10のステップS4)。そして、図10のステップS4において、TSデータ読み出しタイミング生成回路521(図6)内の時刻計測用カウンタ5213(図8)のカウントアップ動作が開始され、その後に、時刻比較回路5216(図8)は、TS読み出しタイミング信号 R_4 を出力する。TS読み出しアドレス発生回路5227(図9)は、TS読み出しタイミング

信号R₄に基づいて、メモリ53(図5)に記憶されている1TS分のデータの読み出し制御信号R₆を端子5223から出力する(図10のステップS5)。

[0093] メモリ53(図5)から読み出されたTSは、受信側メモリ制御回路52(図5)内のバスアービタ回路523(図6)を経由して、TSメモリ読み出し制御回路522(図6)内のFIFOメモリ5225(図9)に入力される。FIFOメモリ5225(図9)は、CPU54(図5)からのTS書き込み制御信号とTSメモリ読み出し制御回路522(図6)からのTS読み出し制御信号との間の、バスアービタ回路523(図6)によるバス調停時に発生した読み出しデータの遅延時間等を吸収する。実施の形態3においては、受信側メモリ制御回路52(図5)内のTSデータ読み出しタイミング生成回路521(図6)から入力されるTS読み出しタイミング信号R₄を基準にし、一定時間の遅延量を持たせてFIFOメモリ5225(図9)からTSを読み出すように、FIFOメモリ制御回路5226(図9)はFIFOメモリ5225(図9)に対して読み出し制御信号を出力する。受信側メモリ制御回路52(図5)におけるTSメモリ読み出し制御回路522(図6)内のFIFOメモリ5225(図9)への書き込み制御は、TS読み出しアドレス発生回路5227(図9)から出力されるTSデータ読み出し制御信号R_{6a}(図9)と、受信側メモリ制御回路52(図5)内のバスアービタ回路523(図6)から出力されるデータ読み出し完了信号(図9には示さず。図6に信号R₈として示す。)、すなわち、メモリ53(図5)からデータの読み出しが完了したことを示す信号とを用いて実施する。なお、バスアービタ回路523(図6)から出力されるデータ読み出し完了信号(図9には示さず。図6に信号R₈として示す。)は、TS読み出しアドレス発生回路5227(図9)によって、TS読み出しアドレスを発生する際にも使用される。

[0094] 図10のステップS6において、メモリ53(図5)から1TS分のデータの読み出しが完了すると、TSメモリ読み出し制御回路522(図6)内のTS読み出しアドレス発生回路5227(図9)は、TS書き込みアドレス記憶回路5228(図9)に記憶されている書き込みアドレス情報に基づいて、メモリ53(図5)に次のラインのTSが記憶されているか確認し、記憶されている場合には、次のラインのTSのタイムスタンプを読み出すためのTSデータ読み出し制御信号R₆を発生する(図10のステップS7)。なお、メモリ53(図5)に次のラインのTSが記憶されていない場合は、メモリ53(図5)にアンダーフロー

が起こったものとして、アンダーフローが発生したことをCPU54(図5)に通知する。本実施の形態3では、CPU54(図5)は、アンダーフロー発生が通知されると、一旦、受信側メモリ制御回路52(図5)を所定の初期状態にリセットし、再度、TS受信(図10のステップS1から始まる処理)を実行するものとする。

[0095] 図10のステップS7において、次のラインのTS(次TS)のタイムスタンプを受け取ると、TSデータ読み出しタイミング生成回路521(図6)内の時刻比較回路5216(図8)は、タイムスタンプ信号R₃と、時刻計測用カウンタ5213(図8)から出力される時刻計測カウント値R₉とを比較し、時刻計測カウント値R₉が入力されたタイムスタンプ信号R₃の値より大きくなったときに(図10のステップS8)、TS読み出しタイミング信号R₄を出力する。TS読み出しタイミング信号R₄を受け取ったTS読み出しアドレス発生回路5227(図9)はTSデータ読み出し制御信号R₆を出力する(図10のステップS5)。

[0096] 受信側メモリ制御回路52(図6)は、図10のステップS5～S8(すなわち、破線で囲うステップS9)の動作を繰り返す。無線受信装置50の発振子が発振する受信側基準クロックが無線送信装置40の発振子が発振する送信側基準クロックよりも速く(すなわち、無線受信装置50における受信側クロック周波数が無線送信装置40における送信側クロック周波数よりも高く)なったときに、時刻計測用カウンタ5213(図8)のカウンタ値に基づいて得られる受信側基準時刻(受信側クロック周波数)とタイムスタンプ信号に基づいて得られる送信側基準時刻(送信側クロック周波数)との間に偏差が生じるので、この偏差に基づいた時間だけ、メモリ53(図5)に一時記憶されたTSの読み出しタイミングを遅らせるように、受信側メモリ制御回路52(図6)を制御するよう実施の形態3は構成している。

[0097] 次に、実施の形態3におけるクロック再生フローを、図19～図23のフローチャートを用いて説明する。無線受信装置50内のCPU54(図5)は、TSの受信が開始されると、無線パケットに付加されているヘッダ情報に基づいて、送信機(無線送信装置40に相当する。)の識別を実施する(図19のステップS211)。送信機の識別は、例えば、無線パケットのヘッダ情報に付加されているMACアドレス、及び、送信機に固有の機器識別情報(例えば、IPアドレス)の一方又は両方を用いて、実施する。機器識別情報として、MACアドレス、又は、IPアドレスを用いれば無線パケットに新たな情報

を付加することなく機器識別情報が入手できるので、無線送信装置40及び無線受信装置50の処理負荷を軽減できると共に、通信帯域に負荷をかけることなく送受信を行うことができる。

[0098] 送信機の識別を実施した後、CPU54(図5)は、送信機の機器識別情報に基づいて、無線受信装置50内の記憶部(例えば、メモリ53の一部、又は、図示しない他のメモリ)に、識別した送信機の時刻補正值(以前の時刻補正值)が既に記憶されているか否かを確認する(図19のステップS212)。無線受信装置50内に識別した送信機の時刻補正值(すなわち、クロックジッタ補正值)が既に記憶されている場合は、CPU54(図5)は、記憶されている時刻補正值(クロックジッタ補正值)を初期値としてTSDデータ読み出しタイミング生成回路521(図6)内の時刻補正值記憶レジスタ5215(図8)にセットする(図19のステップS213)。なお、その際にクロックジッタ補正の際に使用する各種制御閾値を記憶したテーブルをセットする(図19中‘table = α ’と記す。)。なお、本実施の形態3の無線受信装置50は、図24、及び図25に示すように0から4まで(table0からtable4まで)の5段階のテーブルを持っており、上記時刻補正值を記憶した際に使用していた上記テーブルが4であった場合は、例えば $\alpha = 3$ をセットするよう本実施の形態3では制御するものとする。一方、無線受信装置50内に識別した送信機の時刻補正值が記憶されていない場合は、CPU54(図5)は、時刻補正值記憶レジスタ5215(図8)に初期値0をセットすると共に‘table = 0’をセットする(図19のステップS214)。

[0099] このように、無線受信装置50内に記憶されている時刻補正值(例えば、過去のデータ受信によって取得した以前の時刻補正值)がある場合に、記憶されている以前の時刻補正值を初期値として利用する理由は、以下の通りである。無線受信装置50は、VBRのTSのクロック再生を実施する。VBRのTSの平均データ伝送レートは20Mbps程度であるが、短い時間単位においては、平均データ伝送レートは大きく変動する。このため、ある程度長い時間で評価すれば、平均データ伝送レートはほぼ一定であり、クロックジッタ値の推定が可能になる。そこで、実施の形態3においては、最小の計測時間を1GOPの期間(約0.5秒程度)としている。このように、1回のクロックジッタ値の推定には非常に時間がかかるので、無線受信装置50に、以前TS受信

を実施した際に計測した計測結果(以前の時刻補正值)が記憶されている場合には、クロック再生の開始時点において、既に記憶されている以前の時刻補正值を使用することによって、時刻補正值が所定範囲内に収束するまでの時間(後述する図19のステップS217において時刻補正值が収束するまでに要する時間)の短縮を図ることができ、MEPG2復号化装置にて受信したTSを復号して画像を再生する際も映像信号が途切れることなく再生できる効果がある。

[0100] TSデータ読み出しタイミング生成回路521(図6)内の時刻補正值記憶レジスタ5215(図8)に初期値のセットが完了した後、CPU54(図5)は、TSメモリ読み出し制御回路522(図6)内の積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)に、初期値‘0’をセットする。その際、TSメモリ読み出し制御回路522(図6)内のメモリ記憶データ量積分回路5229(図9)、TS出力数計測カウンタ5231(図9)、及び計測時間測定カウンタ5233(図9)にも、初期値‘0’をセットする(図19のステップS215)。また、CPU54は時刻補正值(以下、クロックジッタ補正值と記す。)を算出する際に使用する各種パラメータに初期値をセットする(図19のステップS215)。なお、図中CONVFは収束判定フラグで、各クロックジッタ補正值算出する段階(各ステージ)でクロックジッタ補正值が収束した場合には収束判定フラグCONVFを‘1’にセットする(後述する図23のステップS85)。CONV_CNTは、各クロックジッタ補正值を算出する段階(ステージ)で後述するクロックジッタ補正值の差分値dCORRECTTMが予め定められた収束域に連続して何回入ったかをカウントするカウンタのカウント値である(後述する図23のステップS83)。nは、後述する他の実施の形態で使用するTSレートが大きく変化した場合にメモリ53(図5)内のTSの記憶容量の急激な変化が収束するまでクロックジッタ補正值の算出動作を停止する際、その停止期間をカウントするカウンタのカウンタ値である。各種レジスタの初期化が終了すると、CPU54(図5)は、初期値の計測及び設定を実施する(図19のステップS216)。以下、図20を用いて初期値の計測、及び設定方法について説明する。

[0101] TSの受信が開始されると、初期値の計測が開始される。初期値の計測に際しては、CPU54(図5)は、はじめに、メモリ53(図5)からTSの読み出しが開始されたか否

かを確認する(図20のステップS231)。メモリ53(図5)からのTSの読み出しが開始されたことを確認すると、CPU54(図5)は、初期値を計測するための時間(初期値計測時間)を内部のタイマーにセットする(図20のステップS232)。例えば、初期値計測時間を1GOPの時間である0.5秒に設定する。なお、初期値計測時間を複数GOP分の時間に設定することもできる。

[0102] 次に、タイマーにセットされた初期値計測時間が経過するまで、CPU54(図5)は待機する(図20のステップS233)。初期値計測時間の経過後、CPU54(図5)は、TSメモリ読み出し制御回路522(図6)内の積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)に記憶されている計測結果を読み込み(図20のステップS234)、その後、積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)に初期値‘0’をセットする(図20のステップS235)。このとき、TSメモリ読み出し制御回路522(図6)内のメモリ記憶データ量積分回路5229(図9)、TS出力数計測カウンタ5231(図9)、及び計測時間測定カウンタ5233(図9)をも初期値‘0’にセットする。

[0103] 次に、CPU54(図5)は、各種レジスタ値を用いて初期値の算出を実施する。具体的には、積分結果記憶レジスタ5230(図9)に記憶されている値 D_{10} を、計測時間記憶レジスタ5234(図9)に記憶されている値 B_{10} で除算することによって、初期値 $ME_{MSUM} (=D_{10} / B_{10})$ を算出する(図20のステップS236)。次に、TSメモリ読み出し制御回路522(図6)内のTS出力数記憶レジスタ5232(図9)に記憶されている値 A_{10} を計測時間記憶レジスタ5234(図9)に記憶されている値 B_{10} で除算することによって、TSの平均読み出しレート $TSRate (=A_{10} / B_{10})$ を算出する(図20のステップS237)。なお、実施の形態3においては、メモリ記憶データ量積分回路5229(図9)における積分は、図13に示されるように、基準容量 F_0 とメモリ記憶データ量との差分 ΔF を積分するものとする。従って、図13において斜線で示した部分の面積がメモリ記憶データ量積分回路5229(図9)における積分結果 D_{10} として出力される。また、実施の形態3においては、メモリ記憶データ量積分回路5229(図9)における積分は、メモリ記憶容量積分回路5229(図9)中に設けられた(図示していない)積分値計

測時刻発生カウンタより発生される制御信号を元に、一定時間ごとに上記差分 ΔF が計測され、積分されるものとする。以上の処理によって、初期値MEMSUMの計測及び設定が完了する。なお、本実施の形態3では、上記メモリ記憶データ量積分回路5229(図9)にてメモリ53(図5)内に記憶されているTS数を計測し、積分する場合、上記メモリ記憶容量積分回路5229(図9)中に設けられた(図示していない)積分値計測時刻発生カウンタより発生される制御信号を元に、一定時間ごとに上記差分 ΔF が計測され、積分される場合について述べたが、これに限るものではなく、例えば、TSデータ読み出しタイミング生成回路521(図6)より出力されるTS読み出しタイミング信号を基準に上記差分 ΔF を計測してもよい。

[0104] 以上の処理によって初期値MEMSUMの計測及び設定が完了する(図20のステップS238)と、時刻補正值(クロックジッタ補正值)を算出する際の計測時間(TIME[table])をセットする(図20のステップS239)。計測時間の設定は、上述したように無線受信装置50内に識別した送信機の時刻補正值(すなわち、クロックジッタ補正值)が既に記憶されている場合は、例えば本実施の形態3では計測時間を4秒(table=3)にセットする。一方、無線受信装置50内に識別した送信機の時刻補正值が記憶されていなかった場合は、計測時間を0.5秒(table=0)にセットする。このように、無線受信装置50内に過去に計測した時刻補正值が記憶されている場合は、この時刻補正值を使用することで、映像ストリーム送受信開始時から時刻補正值のなされたストリームの送受信が可能となる。特に、無線送信装置40、及び無線受信装置50内の基準クロックが水晶精度(例えば周波数偏差の最大が100ppm程度)であればそれほど問題にはならないが、1%程度の周波数偏差を持つ場合、クロックジッタ補正值がある程度の範囲に引き込まれるまではMPEG2復号化回路内のPLLが引き込まれず、画像が乱れる場合がある。しかし、本実施の形態3に示すように、クロックジッタ補正值を最初から計測するのではなく、前回の補正結果を用いることで、送受信開始直後からクロックジッタ補正值を収束値まで持って来るので、上述した場合でも画像は最初から乱れず送受信が可能となる効果がある。

[0105] さらに、クロックジッタ補正是、図24の各テーブルの計測時間を見てもわかるように、1回の計測時間が非常に長い。よって、クロックジッタ補正值が収束するまでには(t

able0からtable1までの収束時間)、数十秒から数分程度かかる。従って、通常、table0のステージでは、クロックジッタ補正值を早く収束させるため、計測時間を短くすると共に、計測結果からクロックジッタ補正值を計算する際のシステムのゲインg[table](図25の直線の傾き)を大きくする。計測時間を短くした場合は、入力されるTSの入力レートの変化が外乱となり、クロックジッタ補正值の収束値付近での安定性が低い。つまり、入力されるTSのレート変化に制御が敏感に反応してしまう。また、クロックジッタ補正を計算する際のシステムゲインg[table]を大きくすると、収束するまでの時間は速くなるが、やはりクロックジッタ補正值の収束値付近での安定性が低い。よって、本実施の形態3では、クロックジッタ補正值を算出する際、複数のステージを設け、各ステージで計測時間、収束判定の際の閾値、及びクロックジッタ補正值を算出する際のシステムゲインを切り換えることにより、無線送信機40と無線受信機50の間でTSストリームの送受信開始時には早く収束するよう、計測時間を短くすると共に、システムゲインg[table]を大きくする。一方、クロックジッタ補正值がほぼ収束した場合は、上記計測時間を長くし、VBR等に起因するTSレートの変化による外乱を小さくすると共に、システムゲインg[table]を小さくすることによりシステムの安定化を図ができるよう構成する。これにより、クロックジッタ補正值を算出する際の収束時間を短くすることができると共に、クロックジッタ補正值が収束した領域ではVBR等に起因するTSレートの変化等の影響を受けにくくすることができ、システムを安定に動作させることができる効果がある。

[0106] 図20のステップS239で時刻補正值(クロックジッタ補正值)を算出する際の計測時間(TIME[table])のセットが完了すると時刻補正值の算出が開始される。CPU54(図5)は、予め定められた計測時間が経過するまで待機する(図21のステップS51)。本実施の形態3では図21のステップS51における計測時間は、初期値設定の際に用いた初期値計測時間(図20のステップS232)と同様に、1GOPの時間とする。図21のステップS51において計測時間が経過すると、まずははじめ、前回計測した計測値MEMSUM、及び平均読み出しレートTSRateを、一旦、前回の計測値PMEMSUMと前回の平均読み出しレートPTSRateとして退避する(図21のステップS52)。その後、初期値計測の場合と同様に、CPU54(図5)は、積分結果記憶レジスタ52

30(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)に記憶されている計測結果を読み込み(図21のステップS53)、その後、積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)を初期値‘0’にセットする(図21のステップS54)。このとき、メモリ記憶データ量積分回路5229(図9)、TS出力数計測カウンタ5231、及び計測時間測定カウンタ5233をも初期値‘0’にセットする。次に、CPU54(図5)は、上記各種レジスタ値を用いて、初期値計測の場合(図20のステップS236)と同様に、積分結果記憶レジスタ5230(図9)に記憶されている値 D_{10} を、計測時間記憶レジスタ5234(図9)に記憶されている値 B_{10} で除算することによって、 $MEMSUM (= D_{10} / B_{10})$ を算出する(図21のステップS55)。次に、TSメモリ読み出し制御回路522(図6)内のTS出力数記憶レジスタ5232(図9)に記憶されている値 A_{10} を計測時間記憶レジスタ5234(図9)に記憶されている値 B_{10} で除算することによって、TSの平均読み出しレート $TSRate (= A_{10} / B_{10})$ を算出する(図21のステップS56)。

[0107] そして、上記計測値 $MEMSUM$ と上記初期値 $PMEMSUM$ との偏差(すなわち、差分)を次式で計算し、クロックジッタ値 $dSUM$ を得る(図21のステップS57)。

$$dSUM = PMEMSUM - MEMSUM$$

そして、ステップS58にて、該算出されたクロックジッタ値 $dSUM$ を用いてクロックジッタ補正值を算出する。以下、図22を用いて本実施の形態3に示すクロックジッタ補正值算出フローを説明する。ステップS71では、上記クロックジッタ値 $dSUM$ を用いてクロックジッタ補正值の差分値 $dCORRECTTM$ (「クロックジッタ補正差分値」又は「 $dCORRECTTM$ 値」とも言う。)を算出する(図22のステップS71)。具体的には、次式

$$dCORRECTTM = dSUM / TSRATE \times g[table]$$

にて算出する。図25において、縦軸はクロックジッタ補正差分値($dCORRECTTM$ 値)、横軸は計測値($dSUM / TSRATE$)を示す。図中、直線の傾きが各tableのシステムゲイン $g[table]$ に対応する。なお、 $dCORRECTTM$ 値を算出する際、実際は各々測定した時点でのTSの平均読み出しレート $TSRate$ にて計測値 $MEMSUM$ ($PMEMSUM$)を除算し、その結果同士の差分をとり、偏差 $dSUM$ を計算するが、本実施の形態3では計測時間が同一であれば、ほぼ受信するTSのレートはほぼ一定

であるので、説明を簡単にするためステップS71では、直前に計測した平均読み出しレートで除算した。

[0108] なお、本実施の形態3では、dCORRECTTM値を算出する際、クロックジッタ値dSUMをTSの平均読み出しレートTSRateで除算する。これは以下の理由による。メモリ記憶データ量積分回路5229(図9)でメモリ53(図5)内に書き込まれた記憶データ量を積分する場合、平均データ転送レートが20MbpsのTSを受信している場合と、平均データ転送レートが5MbpsのTSを受信している場合とでは、求めるクロックジッタ値(図14の斜線領域の積分値に相当する。)の大きさが異なる。それを正規化するためにTSの平均読み出しレートで正規化するよう構成した。dCORRECTTM値の算出が完了すると前回補正したクロックジッタ補正值(CORRECTTM値)と今回算出したクロックジッタ補正差分値(dCORRECTTM値)を加算しクロックジッタ補正值を算出する(図22のステップS72)。これは、算出したdCORRECTTM値は、既に時刻補正值記憶レジスタ5215(図8)によって制御されている制御結果に基づいたものであるので、上記アルゴリズムで算出されるクロックジッタ補正差分値はその差分である。従って、時刻補正值記憶レジスタ5215(図8)にクロックジッタ補正值をセットする場合は、現在のセットされているクロックジッタ補正值に、上記算出したクロックジッタ補正差分値を加算する。

[0109] 次に、図14を用いて、クロックジッタ値dSUMを具体的に説明する。図14は、無線受信装置50の受信側クロック周波数が無線送信装置40の送信側クロック周波数よりも高く、無線受信装置50の基準クロックが無線送信装置40の基準クロックよりも速い場合を示している。なお、実際のクロック周波数の偏差は、無線送信装置40の発振子と無線受信装置50の発振子の精度に依存し、水晶発振子を使用した場合、最大のクロック偏差は、 $\pm 100\text{ppm}$ 程度となる。なお、図14においては、説明をわかりやすくするため、クロックジッタ値dSUMを強調して描いている(すなわち、線分D₂₁ D₂₅に対する線分D₂₁ D_{25a}の勾配を実際よりも急に描いている)。このように、無線受信装置50の受信側クロック周波数が無線送信装置40の送信側クロック周波数よりも高いので、無線受信装置50内の時刻計測用カウンタ5213(図8)のカウント値が速く進み、メモリ53(図5)に記憶されているTSのデータ量が徐々に(図14の線分D₂₁ D_{25a}のよ

うに)減ってくる。この場合、受信側クロック周波数と送信側クロック周波数との間の偏差は、一定である(すなわち、TSの入力レートの変化等に起因して変動しない。)したがって、図14に示した斜線部分がクロックジッタ値dSUM(上記計算値MEMSUMと上記初期値PMEMSUMとの差分に対応する値)になる。

[0110] 実施の形態3ではクロックジッタ補正CORRECTTMを算出する際、クロックジッタ補正値CORRECTTMを予め定められた値の範囲(図22中 ϵ と記す。)になるようにステップS73～ステップS76でクリップを実施する。上述したように、無線送信装置40、及び無線受信装置50の基準クロックを水晶発振子を用いて発生させた場合、両装置間で発生するクロック周波数の偏差(クロックジッタ補正值)の最大は発振子である水晶の最大クロック周波数偏差内の値になる。従って、本実施の形態3では図22に示すフローチャートに従いクロックジッタ補正值を算出し、上記水晶の周波数精度で決まる補正值の範囲を超える補正值が算出された場合は、それは、両装置間の基準クロックの周波数偏差とは別の要因で発生したと考え、本実施の形態3ではクロックジッタ補正値CORRECTTMを予め定められた値の範囲になるように制御するよう構成する。このように、クロックジッタ補正值CORRECTTMを予め定められた範囲内に振幅を制限し制御することで、無線受信装置50のシステム制御(クロックジッタ補正制御)の安定化を図ることが可能となる効果がある。上記理由により本実施の形態3ではステップS73でクロックジッタ補正值CORRECTTMが所定の範囲($-\epsilon \leq \text{CORRECTTM} \leq \epsilon$)内であるか確認する。所定の範囲内であれば、クロックジッタ補正值の算出動作を終了する。一方、所定の範囲を超えていた場合はステップS74でCORRECTTMが正であるか確認する。そして、CORRECTTMが正であればCORRECTTM = ϵ としてクロックジッタ補正值の算出動作を終了する(図22のステップS75)。また、CORRECTTMが負であれば、CORRECTTM = $-\epsilon$ としてクロックジッタ補正值の算出動作を終了する(図22のステップS76)。

[0111] 上述のように構成することで、無線送信装置40～無線受信装置50間の基準クロックの周波数偏差以外に起因する外乱が本システムに入力された場合でも、クロックジッタ補正値CORRECTTMを両装置間のクロック周波数精度で決まる予め定められた値の範囲内に制御することにより極端なクロックジッタ補正が行われず、MPEG2復

号化回路を含めたシステム全体を安定に動作させることができる効果がある。また、クロック同期が所定値以上は外れないため、TSストリームのジッタを所定値以下に抑えることができると共に、メモリ53のオーバーフロー、アンダーフローを抑えることができ、映像信号を途切れなくMPEG2復号化回路で復号することができる効果がある。クロックジッタ補正值CORRECTTMの算出が終了すると、CPU54(図5)は、上記算出されたクロックジッタ補正值CORRECTTMをTSデータ読み出しタイミング生成回路521内(図6)の時刻補正值記憶レジスタ5215にセットする(図21のステップS59)。クロックジッタ補正值CORRECTTMのセットが終了すると、CPU54(図5)はクロックジッタ補正值CORRECTTMが収束したかを判断する(図21のステップS60)。

[0112] 以下、図23を用いて、本実施の形態3におけるクロックジッタ補正值CORRECTTMの収束判定フローについて説明する。CPU54(図5)はクロックジッタ補正值CORRECTTMをTSデータ読み出しタイミング生成回路521内(図6)の時刻補正值記憶レジスタ5215にセットすると、上記クロックジッタ補正差分値dCORRECTTMが所定の範囲内に入っているか($| dCORRECTTM | < \text{CONV}[table]$ であるか)を確認する(図23のステップS81)。図24に各ステージでの収束判定閾値(CONV[table])を示す。図中、CRCTMLは、予め定められた定数である。図24に示すように、各ステージでの閾値はステージが上がる(クロックジッタ補正值CORRECTTMが収束に向かう)につれ小さくなる。これは、上述したがクロックジッタ補正值CORRECTTMを算出する際、上述したが、1回の計測時間はステージ0(table0)においても0.5秒と非常に長い。従って、クロックジッタ補正值CORRECTTMをなるべく早く収束させるためには、最初はラフにクロックジッタ補正值を算出し、その後複数のステージに分けてその精度を上げていく必要がある。特に、無線送信装置40と無線受信装置50との間のクロック周波数の偏差が大きい場合は、ラフにすばやくクロックジッタ補正值を収束させなければ、映像ストリームの送受信開始時、しばらくの間(無線送信装置40と無線受信装置50との間のクロック周波数の偏差が所定の範囲まで引き込まれるまでの間)TSジッタを十分吸収できないため、MPEG2復号化回路にてクロック同期を取ることができず表示画像が乱れてしまう。従って、本実施の形態3では、収束判定ステージを5段階に分け、徐々にクロックジッタ値の収束精度を上げていくように

構成することにより、送受信開始時にはラフにすばやくクロックジッタ値を収束域付近まで引き込むため、MEPG2復号化回路にてクロック同期を取ることができず表示画像が乱れてしまう期間を最小限に抑えることができると共に、一旦クロックジッタ補正值が収束すると、TSのレート変化等に起因する外乱に対しても安定した動作でクロック同期を補償することができる効果がある。なお、本実施の形態3では、収束判定のステージを5段階に分けて制御した場合について説明したが、本発明はこれに限るものではなく、例えば、2段階、3段階、10段階等のように5段階以外に設定しても同様の効果を奏する。また、本実施の形態3では、各ステージのパラメータを全て異なるように構成したが、これに限るものではなく、例えば、収束判定条件をtable3から切り替わるように(table0～table2は同一の値になるように)構成しても同様の効果を奏する。

[0113] ステップS81にてクロックジッタ補正差分値dCORRECTTMが所定の範囲に入っていないと判断された場合は、CPU54(図5)は、変数CONV_CNTを0とし収束判定動作を終了する(図23中のステップS82)。一方、ステップS81にてクロックジッタ補正差分値dCORRECTTMが所定の範囲に入っていた場合、CPU54(図5)は、CONV_CNTに1を加え(図23のステップS83)、その結果をCONV_NUM[table]と比較する(図23のステップS84)。この比較の結果、CONV_NUM[table]以下であった場合は収束判定を終了する。一方、比較の結果、CONV_NUM[table]を超えていた場合は収束したと判断し、収束判定フラグ(CONVF)に‘1’をセットすると共に、CONV_CNTを‘0’とし収束判定動作を終了する。本実施の形態3では、複数回連続してクロックジッタ補正差分値dCORRECTTMが所定の範囲に入っていた場合、クロックジッタ補正値CORRECTTMが収束したと判断する。これにより、クロックジッタ補正値CORRECTTMが収束していないにもかかわらず、TSのレート変化等の要因により、偶然にクロックジッタ補正差分値dCORRECTTMが所定の範囲に入っていた場合を排除することができる。このように構成することにより、クロックジッタ補正値CORRECTTMの収束判定を確実に実施することができ、システムを安定に動作させることができる効果がある。なお、本実施の形態3では上述したように複数回連続してクロックジッタ補正差分値dCORRECTTMが所定の範囲に入って

いた場合、クロックジッタ補正值CORRECTTMが収束したと判断したが、本発明はこれに限るものではなく、例えば、クロックジッタ補正值CORRECTTMが予め定められた閾値の範囲内で連續して算出されたとき収束したと判断しても同様の効果を奏する。

[0114] 収束判定の結果、クロックジッタ補正值CORRECTTMが収束したと判断(CONVF = 1の場合)した場合(図21のステップS60)、CPU54(図5)は、table値に1を加えると共に、収束判定フラグに‘0’をセットする(図21のステップS61)。ステップS62ではtable値を所定の値 β (本実施の形態3では $\beta = 4$)と比較し(図21のステップS62)、 β を超えていた場合はtable値に β をセットする(図21のステップS63)。なお、本実施の形態3では β は4となる。収束判定を終了すると、CPU54(図5)は、計測時間を設定する(図21のステップS64)。計測時間の設定が終了すると、CPU54(図5)は、無線送信装置40からのストリームの受信が終了したかを検出し、終了していない場合は、次のクロックジッタ補正值を算出するため、ステップS64にて設定された計測時間が経過するのを待ち(図21のステップS51)、再度クロックジッタ補正值の算出を実施する。一方、ストリームの受信が終了していた場合は、上記収束判定のステージ(table値)が γ 以上であるかを判別する(図19のステップS219)。table値が γ 未満であれば、TS受信動作を終了する。一方、table値が γ 以上であれば、現在のtable値とクロックジッタ補正值CORRECTTMを記憶し(図19のステップS220)、TS受信動作を終了する。

[0115] 次に、クロックジッタ補正值CORRECTTMを用いたクロック再生方法について説明する。TSデータ読み出しタイミング生成回路521(図6)内の時刻計測用カウンタ制御回路5214(図8)においては、予め定められた時間間隔ごとに(実施の形態3においては100msごとに)、時刻補正值記憶レジスタ5215(図8)に記憶されているクロックジッタ補正值CORRECTTMを時刻計測用カウンタ5213のカウント値に加算することによって、時刻計測用カウンタ5213(図8)の出力値を補正する。図14に示されるケースは、無線受信装置50内の受信側クロック周波数が無線送信装置40内の送信側クロック周波数よりも高く、メモリ53(図5)の記憶データ量が減少しつつある場合を示している。この場合には、時刻計測用カウンタ5213は、100msに1度、クロ

ックジッタ補正值CORRECTTM分、時刻が戻される(強制的に時刻を遅らせる。)。このようにクロックジッタ補正值CORRECTTM分、時刻を戻すことによって、無線受信装置50内におけるクロック周波数に基づく動作時刻を、無線送信装置40内のクロック周波数に基づく動作時刻に近づけることができる。

[0116] 実施の形態3に示されるように、無線受信装置50においてはクロック再生(クロックジッタ補正)の際に、TSデータ読み出しタイミング生成回路521(図6)内の時刻計測カウンタ5213(図8)のカウンタ値に、一定の周期で時刻補正值記憶レジスタ5215(図8)に記憶されている時刻補正值(クロックジッタ補正值)をオフセットとして加えるよう構成しているので、無線受信装置50内のシステムクロック周波数を変えることなく、適切なクロック再生を実現できる。従って、実施の形態3の無線受信装置50を用いれば(すなわち、実施の形態3のデータ受信方法を用いれば)、複数の無線送信装置から送られてきたTSのそれぞれをメモリ53(図5)内の異なる記憶領域に記憶すると共に、それぞれの記憶領域に対応した時刻計測カウンタ5213(図8)を備えることにより、複数の無線送信装置から送られてきたTSのそれぞれの読み出しタイミングにて制御するよう構成すれば、受信した複数のTSのクロック再生を独立に実施できる効果がある。

[0117] 以上に説明したように、実施の形態3のデータ受信方法(実施の形態3の無線受信装置50)を用いれば、ジッタを有する無線を介して伝送されたVBRのTSを受信する場合であっても、無線送信装置40—無線受信装置50間のクロック同期を取ることができ、無線受信装置50内のメモリ53(図5)をアンダーフロー、あるいはオーバーフローを生じさせることなく制御できるので連続的にTSを出力することができる。このため、MPEG2システムのTSを受信側の機器で復号し再生する場合に、映像を途切れさせることなくMPEG2データを再生することができる効果がある。

[0118] また、実施の形態3のデータ受信方法(実施の形態3の無線受信装置50)を用いれば、受信側メモリ53が複数の記憶領域を有するので、1台の無線受信装置50で複数のデータ送信装置から出力されるパケットデータを受信することができ、各々の受信パケットデータごとにアンダーフロー、あるいはオーバーフローを生じさせることなく連続的にデータを出力することができる効果がある。また、受信側メモリ53が複数の

記憶領域を有するので、簡単な回路構成で複数のストリームを扱うことができ、回路規模の抑制、及び、消費電力及び製造コストの低減を図ることができる効果がある。さらに、上述したがクロックジッタ値はシステムクロック周波数の偏差に依存するため、機器が特定されればほぼ一定の値になる。従って、クロックジッタ補正值をある一定の収束範囲内まで引き込む際(例えば、受信開始直後)には、クロックジッタ補正值算出の際のゲイン(変換テーブルを示す直線の勾配)を大きくして、引き込み時間を短縮する。そして、クロックジッタ補正值をある一定の収束範囲内まで引き込んだ後には、ゲインを小さくして、システムの安定性を重視するよう構成する。これにより、クロックジッタ補正值を収束範囲内までの引き込む時間を短縮できると共に、クロックジッタ補正值を収束範囲内にした後には無線受信装置50を安定に動作させることができる。また、実施の形態3において、計測時間を長くする理由は、計測時間を長くして計測値の精度を向上させ、クロックジッタ補正值の収束後に無線受信装置50を安定に動作させることができるようするためである。なお、実施の形態3においては、クロックジッタ値が収束しても、PLL制御等を採用していないので、データ受信時にはクロックジッタ補正值を更新し続ける必要がある。

[0119] 実施の形態4.

図26は、本発明の実施の形態4における無線受信装置のクロックジッタ補正值算出時の動作を示すフローチャートである。図27は、実施の形態4における無線受信装置のクロックジッタ補正值算出時の収束判定動作を示すフローチャートである。図28は、実施の形態4における各補正值算出ステージで使用する計測時間、及び収束判定に使用する閾値テーブル等の一例を示す図である。なお、実施の形態4においては、実施の形態3と比較して、クロックジッタ補正差分値dCORRECTTM(「dCORRECTTM値」とも言う。)の補正範囲を制限するフローが新たに追加されている。また、実施の形態4におけるデータ受信方法は、上記クロックジッタ補正值算出時の動作フローと、クロックジッタ補正值の収束判定フローを除き、上記実施の形態3におけるデータ受信方法と同じである。具体的に言えば、実施の形態3と実施の形態4は、以下に示す2つの相違点を持つ。

[0120] 第1の相違点は、クロックジッタ補正值算出の際に算出されるdCORRECTTM値

の振幅に制限を設けたことである。これは、以下に理由による。特にクロックジッタ算出の際、本システムでは入力されるTSはCBR(固定ビットレート)ではなくVBRを対象としている。従って、VBRを対象としたシステムのクロック同期に関しては、クロックジッタ補正值を求める際に算出したdCORRECTTM値には、該無線送信装置40—無線受信装置50間のクロック周波数偏差に起因するクロックジッタ値(図14斜線部参照)以外に、VBRに起因するTSの受信レートの変動、無線区間での無線パケットの再送制御等の影響等が含まれる。本実施の形態4では、上記クロックジッタ値以外の要因(外乱)に対してもより安定に動作するシステムを構成するため、クロックジッタ補正值算出の際に算出されるdCORRECTTM値の振幅に制限を設けた。これにより、VBRに基づきTSの受信レートが変動し、dCORRECTTM値が大きく変化した場合でも、該振幅が所定の範囲内に数値がクリップされるので、本来のクロックジッタ補正值から大きく離れることなくクロックジッタ補正を行うことができる。

[0121] 第2の相違点は、クロックジッタ補正值の収束判定を実施する際のフローにオブザーバーOBSを導入したことである。実施の形態3では、クロックジッタ補正值そのものを収束判定条件に使用していたが、本実施の形態4では、オブザーバーを導入することで収束判定の精度を向上させている。具体的には、クロックジッタ補正值の低域成分を抽出するフィルタを設け、そのフィルタ出力を用いてクロックジッタ補正值の収束を判定する。これにより、上述したVBRに起因するTSの受信レートの変動、無線区間での無線パケットの再送制御等の外乱の影響を最小限に抑え、クロックジッタ補正值の収束判定を実施することができる。

[0122] 以下、実施の形態4における無線送信装置40から送信されたTSを含む無線パケットを受信した際の無線受信装置50におけるクロック再生フローについて、図26—図28を用いて説明する。なお、以下の実施の形態4の説明においては、上記実施の形態3において用いた図1—図10、図13、図14、及び図18—図25をも参照する。また、図26、及び図27において、図22、及び図23のステップと同じ処理を行うステップには、同じ符号を付す。実施の形態3と同様に、無線受信装置50内のCPU54(図5)は、TSの受信が開始されると、無線パケットに付加されているヘッダ情報に基づいて、送信機(無線送信装置40に相当する。)の識別を実施する(図19のステップS

211)。送信機の識別は、例えば、無線パケットのヘッダ情報に付加されているMACアドレス、及び、送信機に固有の機器識別情報(例えば、IPアドレス)の一方又は両方を用いて実施する。

[0123] 送信機の識別を実施した後、無線受信装置50内のCPU54(図5)は、送信機の機器識別情報に基づいて、無線受信装置50内の記憶部(例えば、メモリ53の一部、又は、図示しない他のメモリ)に、過去に識別された送信機の時刻補正值(「以前の時刻補正值」とも言う。)が既に記憶されているか否かを確認する(図19のステップS212)。図19のステップS212において、無線受信装置50内に以前の時刻補正值(クロックジッタ補正值)が既に記憶されている場合は、CPU54(図5)は、記憶されている以前の時刻補正值を初期値としてTSデータ読み出しタイミング生成回路521(図6)内の時刻補正值記憶レジスタ5215(図8)にセットすると共に、補正テーブルtableに値 α をセット(すなわち、table = α)する(図19のステップS213)。無線受信装置50内に以前の時刻補正值(クロックジッタ補正值)が記憶されていない場合は、CPU54(図5)は、TSデータ読み出しタイミング生成回路521(図6)内の時刻補正值記憶レジスタ5215(図8)に初期値‘0’をセットすると共に、補正テーブルtableに値0をセット(すなわち、table = 0)する(図19のステップS214)。次に、CPU54(図5)は、TSメモリ読み出し制御回路522(図6)内の積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)に、初期値‘0’をセットする(図19のステップS215)。その際、TSメモリ読み出し制御回路522(図6)内のメモリ記憶データ量積分回路5229(図9)、TS出力数計測カウンタ5231(図9)、及び計測時間測定カウンタ5233(図9)にも、初期値‘0’をセットする。また、CPU54は、時刻補正值を算出する際に使用する各種パラメータCONVF, CONV_CNT, nに初期値をセットする(図19のステップS215)。なお、CONVFは収束判定フラグで、各クロックジッタ補正值算出する段階(各ステージ)でクロックジッタ補正值が収束した場合には収束判定フラグCONVFを‘1’にセットし、CONV_CNTは、各クロックジッタ補正值を算出する段階で後述するクロックジッタ補正值の差分値dCORRECTTMが予め定められた収束域に連続して何回入ったかをカウントするカウンタのカウント値であり、nは、TSレートが大きく変化した場合にメモリ53(図5)内のTSの記

憶容量の急激な変化が収束するまでクロックジッタ補正值の算出動作を停止する際、その停止期間をカウントするカウンタのカウンタ値である。

[0124] そして、図19のステップS216にて、図20に示すフローに基づき初期値を計測セットする。図19のステップS216にて初期値の設定が完了すると、CPU54(図5)は、クロックジッタ補正值の算出を開始する。次に、図21を用いてクロックジッタ補正值算出時の動作について説明する。ステップS239(図20参照)でクロックジッタ補正值を算出する際の計測時間のセットが完了すると、CPU54(図5)は、予め定められた計測時間が経過するまで待機する(図21のステップS51)。ステップS51において計測時間が経過すると、ステップS52で前回計測した計測値MEMSUM、及び平均読み出しレートTSRateを、一旦、PMEMSUMとPTSRateに退避する。その後、ステップS53にて、CPU54(図5)は、積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)に記憶されている計測結果を読み込み、ステップS54にて積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)を初期値‘0’にセットする。このとき、メモリ記憶データ量積分回路5229(図9)、TS出力数計測カウンタ5231、及び計測時間測定カウンタ5233をも初期値‘0’にセットする。次に、CPU54(図5)は、上記各種レジスタ値を用いて、実施の形態3で説明した要領で、計測値MEMSUM、及び平均読み出しレートTSRateを算出する(図21のステップS55、及びステップS56)。

[0125] そして、ステップS57にて、上記計測値MEMSUMと上記初期値PMEMSUMとの偏差(すなわち、差分)を計算し、クロックジッタ値dSUMを算出する。そして、ステップS58にて該算出されたクロックジッタ値dSUMを用いてクロックジッタ補正值CORRECTTMを算出する。以下、図26を用いて本実施の形態4に示すクロックジッタ補正值算出フローを説明する。ステップS71では、実施の形態3と同様に、上記クロックジッタ値dSUMを用いてクロックジッタ補正差分値dCORRECTTMを算出する。CPU54(図5)は、クロックジッタ補正差分値dCORRECTTMの算出を終了すると、ステップS91にて、その振幅の絶対値を所定の定数dCRCTLIM[table]と比較する。そして、その絶対値がdCRCTLIM[table]を超えていた場合、その振幅を制限

する。具体的には、ステップS92でクロックジッタ補正差分値dCORRECTTMが正である場合は

$$dCERRECTTM = dCRCTLIM[\text{table}]$$

とする(図26のステップS93)。一方、クロックジッタ補正差分値dCORRECTTMが負である場合は

$$dCERRECTTM = -dCRCTLIM[\text{table}]$$

とする(図26のステップS94)。

[0126] これは、以下の理由に基づく。上述したように、クロックジッタ補正差分値dCORRECTTMの算出に際しては、上記無線送信装置40—無線受信装置50間のクロック周波数偏差に起因するクロックジッタ値(図14斜線部参照)以外に、VBRに起因するTSの受信レートの変動、無線区間での無線パケットの再送制御等の影響等が含まれる。一方、クロックジッタ補正値の算出に当たっては、上記クロックジッタ値以外の外乱に対してシステムを安定に動作させる必要がある。従って、本実施の形態4ではクロックジッタ補正差分値dCORRECTTMの振幅に制限を設けることにより、外部から大きな外乱が入力されてもクロックジッタ補正値の補正範囲を制限することにより、クロックジッタ補正値が所定の範囲を大きく外れることがないよう制御することができる。これにより、クロックジッタ補正値を各収束判定ステージにて定められた範囲内で制御することができるため、システムを安定に動作させることができる効果がある。また、dCRCTLIM[\text{table}]値を各収束判定ステージにて変える事により、TS受信開始直後では、クロックジッタ値dSUMを早く収束させることができると共に、収束したステージではクロックジッタ補正値を大きな外乱が入力された場合でも所定の範囲内にとどめることができる効果がある。

[0127] クロックジッタ補正差分値dCORRECTTMの算出が完了すると、前回補正したクロックジッタ補正値と今回算出したクロックジッタ補正差分値dCORRECTTMを加算することによって、クロックジッタ補正値を算出する(図26のステップS72)。これは、算出したクロックジッタ補正差分値は、既に時刻補正值記憶レジスタ5215(図8)によって制御されている制御結果に基づいたものであるので、上記アルゴリズムで算出されるクロックジッタ補正差分値はその差分である。従って、時刻補正值記憶レジスタ5

215(図8)にクロックジッタ補正値をセットする場合は、現在のセットされているクロックジッタ補正値に、上記算出したクロックジッタ補正差分値を加算する。

[0128] また、実施の形態4では、実施の形態3と同様に、クロックジッタ補正値を算出する際クロックジッタ補正値CORRECTTMを予め定められた値の範囲(図26中 ϵ と記す。)になるように、ステップS73～ステップS76でクリップを実施する。具体的には、ステップS73でCORRECTTM値が所定の範囲($-\epsilon \leq \text{CORRECTTM} \leq \epsilon$)内であるか確認する。所定の範囲内であれば、クロックジッタ補正値の算出動作を終了する。一方、CORRECTTM値が所定の範囲を超えていた場合は、ステップS74でCORRECTTM値が正であるか確認する。そして、CORRECTTM値が正であれば、 $\text{CORRECTTM} = \epsilon$ として、クロックジッタ補正値の算出動作を終了する(図26のステップS75)。CORRECTTM値が負であれば、 $\text{CORRECTTM} = -\epsilon$ としてクロックジッタ補正値の算出動作を終了する(図26のステップS76)。クロックジッタ補正値(CORRECTTM値)の算出が終了すると、CPU54(図5)は上記算出されたクロックジッタ補正値をTSデータ読み出しタイミング生成回路521内(図6)の時刻補正値記憶レジスタ5215にセットする(図21のステップS59)。クロックジッタ補正値のセットが終了すると、CPU54(図5)はクロックジッタ補正値が収束したかを判断する(図21のステップS60)。

[0129] 次に、図27、及び図28を用いて本実施の形態4におけるクロックジッタ補正値の収束判定フローについて説明する。本実施の形態4では、上述したようにクロックジッタ補正値の収束判定にオブザーバーOBSを用いる。具体的には、算出したクロックジッタ補正値を時定数が比較的大きい低域通過フィルタに入力し、その低域成分を抽出する。そして、抽出した上記クロックジッタ補正値の低域成分を用いて、各収束ステージの収束判定を行う。以下、図27に示すフローに従い、本実施の形態4の収束判定フローについて説明する。CPU54(図5)は、クロックジッタ補正値をTSデータ読み出しタイミング生成回路521内(図6)の時刻補正値記憶レジスタ5215にセットすると、次に、図26に示す収束判定フローに基づき、収束判定を実施する。収束判定の実施に当たってはステップS101にて前回計測したオブザーバーOBSをPOBSとして退避する。なお、TS受信開始直後はオブザーバーOBSは算出されていないので

POBSには‘0’を代入する。また、本実施の形態4に示すオブザーバーOBSを用いたクロックジッタ補正値の収束判定に当たっては、上述したように、クロックジッタ補正値の低域成分を抽出し収束判定を実施する。従って、本実施の形態4では、TS受信直後の予め定められた回数は、クロックジッタ補正値の収束判定を行わずクロックジッタ補正値の低域成分の抽出のみを実施する(図27のステップS102)。

[0130] ステップS102で予め定められた回数(例えば10回)以上クロックジッタ補正動作の実施が完了していない場合は、ステップS102にて、クロックジッタ補正値の収束判定動作はバイパスされる。ステップS102で予め定められた回数(例えば10回)以上クロックジッタ補正動作の実施が完了していないと判断されると、CPU54(図5)は、ステップS104にて初期化後1回目の処理化を判断する。初期化後1回目の処理であった場合は、初期値としてオブザーバーOBSにCORRECTTM値を代入する(図27のステップS105)。初期化直後でなかった場合は、クロックジッタ補正値の低域成分を抽出するため、次式に従いオブザーバーOBSが算出される(図27のステップS106)。

$$OBS = 0.99 * OBS + 0.01 * CORRECTTM$$

上記要領で、予め定められた回数上記処理を繰り返しオブザーバーOBSの初期設定が終了すると、次に、クロックジッタ補正値の収束判定を開始する(図27のステップS102)。

[0131] OBSの初期設定が完了すると、CPU54(図5)は、ステップS103にてオブザーバーOBSを算出する。なお、実施の形態4では、ステップS106でのオブザーバーOBS算出時の時定数と、ステップS103でのオブザーバーOBS算出時の時定数が同一の場合について示しているが、これに限るものではなく、例えば、ステップS106の時定数をステップS103の時定数と比較して小さくしても同様の効果を奏する。また、実施の形態4では、ステップS103での時定数を図27に示すように各収束ステージで同一の値としたが、これに限るものではなく、収束判定ステージが上がるにつれてオブザーバーOBSを算出する際の時定数を大きく設定しても同様の効果を奏する。

[0132] ステップS103にてオブザーバーOBSの算出が終了すると、CPU54(図5)は、
OBS-POBS | が所定の範囲(OBSConv[table])に入っているかを確認する(

図27のステップS107)。図28に各ステージでの収束判定閾値(OBSConv[table])を示す。図中、OBSCRCTMLは、予め定められた定数である。図に示すように、各ステージでの閾値はステージが上がる(クロックジッタ補正値が収束に向かう)につれ、実施の形態3の場合と同様に小さくなる。なお、本実施の形態4では、各ステージのパラメータを、図28に示すように設定したが、これに限るものではない。

[0133] ステップS107にて、|OBS-POBS|が所定の範囲に入っていないと判断された場合は、CPU54(図5)は、変数CONV_CNTを0とし収束判定動作を終了する(図27のステップS82)。一方、|OBS-POBS|が所定の範囲に入っていた場合、CPU54(図5)は、CONV_CNTに1を加え(図27のステップS83)、その結果をCONV_NUM[table]と比較する(図27のステップS84)。比較の結果、CONV_NUM[table]以下であった場合は、収束判定を終了する。一方、比較の結果CONV_NUM[table]を超えていた場合は、収束したと判断し収束判定フラグ(CONVF)に1をセットすると共に、CONV_CNTを0とし収束判定動作を終了する。本実施の形態4では、実施の形態3と同様に複数回連続して|OBS-POBS|が所定の範囲に入っていた場合、クロックジッタ補正値が収束したと判断する。

[0134] 収束判定の結果、クロックジッタ補正値が収束したと判断(CONVF=1の場合)した場合(図21のステップS60)、CPU54(図5)は、table値に1を加えると共に収束判定フラグに0をセットする(図21のステップS61)。ステップS62では、table値を所定の値 β (本実施の形態3では4)と比較し(図21のステップS62)、 β を超えていた場合はtable値に β をセットする(図21のステップS63)。なお、本実施の形態4では β は4となる。収束判定を終了すると、CPU54(図5)は計測時間を設定する(図21のステップS64)。計測時間の設定が終了すると、CPU54(図5)は無線送信装置40からのストリームの受信が終了したかを検出し、終了していない場合は、次のクロックジッタ補正値を算出するためステップS64にて設定された計測時間が経過するのを待ち(図21のステップS51)、再度クロックジッタ補正値の算出を実施する。一方、ストリームの受信が終了していた場合は、上記収束判定のステージ(table値)が γ 以上であるかを判別する(図19のステップS219)。 γ 未満であればTS受信動作を終了する。一方、 γ 以上であれば現在のtable値とクロックジッタ補正値を記憶し(図19の

ステップS220)、TS受信動作を終了する。なお、クロックジッタ補正值を用いたクロック再生法に関しては実施の形態3と同一であるので説明は省略する。

[0135] 実施の形態4では、上述したようにクロックジッタ補正值の算出、及びクロックジッタ補正值の収束判定を実施するので、dCORRECTTM値の算出に際しては、外部から大きな外乱が入力されてもクロックジッタ補正值の補正範囲を制限するので、クロックジッタ補正值が所定の範囲を大きく外れることがない。よって、クロックジッタ補正值を各収束判定ステージにて定められた範囲内で制御することができ、システムを安定に動作させることができる効果がある。また、クロックジッタ補正值の収束判定の際、上述したようにオブザーバーを導入することにより、外部から大きな外乱が入力されてもクロックジッタ補正值の収束判定を誤判定することなく実施できるので、システムをより安定的に制御できる(制御精度を向上することができる)効果がある。具体的には、クロックジッタ補正值より抽出した低域成分を用いてクロックジッタ補正值の収束を判定するので、上述したVBRに起因するTSの受信レートの変動、無線区間での無線パケットの再送制御等の影響等を最小限に抑えクロックジッタ補正值の収束判定を実施することができる効果がある。

[0136] 以上に説明したように、実施の形態4のデータ受信方法を用いれば、ジッタを有する無線を介して伝送されたVBRのTSを受信する場合であっても、無線送信装置40—無線受信装置50間のクロック同期を安定してとることができるので、アンダーフロー、あるいはオーバーフローを生じさせることなく連続的にTSを出力することができる。このため、MPEG2システムのTSを受信側の機器で復号し再生する場合に、映像を途切れさせることなくMPEG2データを再生することができる効果がある。

[0137] 実施の形態5。

図29は、本発明の実施の形態5における無線受信装置50のクロックジッタ補正值算出時の動作を示すフローチャートである。なお、本実施の形態5は、新たにメモリ53(図5)内のTSの記憶量に応じてクロックジッタ補正值に強制的にオフセットを加え、クロックジッタ補正を実施する際の制御目標値を所定の範囲内に入るように制御するフローを追加した点が、実施の形態3と相違する。このような構成を採用することにより、クロックジッタ補正值が収束した後でも、より安定的にクロックジッタ補正を実施す

ることができるようになる。以下、本実施の形態5の原理について図14を用いて簡単に説明する。図14は、無線受信装置50の受信側クロック周波数が無線送信装置40の送信側クロック周波数よりも高く、無線受信装置50の基準クロックが無線送信装置40の基準クロックよりも速い場合を示している。図に示すように、クロックジッタ補正值を算出している場合、クロックジッタ補正值が収束するまではメモリ53(図5)内に一時記憶される平均TS数は徐々に少なくなっていく。なお、無線受信装置50の受信側クロック周波数が無線送信装置40の送信側クロック周波数よりも低い場合は反対にメモリ53(図5)内に一時記憶される平均TS数は徐々に多くなっていく。

[0138] 従って、図14に示す例では、クロックジッタ補正值は、メモリ53(図5)内に一時記憶されるTSの記憶容量の最大値が図中F₀の位置より下がった位置で収束する。従って、入力されるTSの平均レートが急に変化した場合(例えば、HDストリームからSDストリームに変化した場合)、メモリ53(図5)がアンダーフローを起こす。これは、クロックジッタ補正差分値(「dCORRECTTM値」とも言う。)を算出する際、PMEMSUMとMEMSUMの偏差のみを用いて制御しているため、クロックジッタ補正值が収束した際のメモリ53(図5)内の平均記憶TS数がメモリのセンターではなく偏った位置で制御されているため発生する。本実施に形態3では、クロックジッタ補正值が収束後、クロックジッタ補正值に強制的にオフセットを加えることで上記メモリ53(図5)内の平均記憶TS数がメモリのセンターになるよう制御することにより、入力されるTSの平均レートの変化にも対応できるようクロックジッタ補正值の算出制御を実施する。

[0139] 以下、図29に示すフローチャートを用いてクロックジッタ補正值の算出フローを説明する。なお、本実施の形態5は、図29に示すクロックジッタ算出フローのみ実施の形態3と異なる(実施の形態3では図22)。よって、実施の形態3と同一部分に関しては詳細な動作の説明は省略する。ステップS216(図19)にて初期値の計測、及び設定が終了すると、CPU54(図5)は、クロックジッタ補正動作を開始する。クロックジッタ補正動作が開始されると、CPU54は、まずははじめステップS51(図21)で、計測時間が経過するまで待機する。計測時間が経過すると、CPU54(図5)は、計測値MEMSUM、及び平均読み出しレートTSRateを、一旦、PMEMSUM及びPTSRRateとして退避させ、その後に、積分結果記憶レジスタ5230(図9)、TS出力数記憶レジ

スタ5232(図9)、及び計測時間記憶レジスタ5234(図9)に記憶されている計測結果を読み込み、その後、積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)を初期値‘0’にセットすると共に、メモリ記憶データ量積分回路5229(図9)、TS出力数計測カウンタ5231、及び計測時間測定カウンタ5233をも初期値‘0’にセットする。次に、CPU54(図5)は、計測値MEMSUM、平均読み出しレートTSRate、及びクロックジッタ値dSUMを算出しクロックジッタ補正值の算出を実施する(図21のステップS52からステップS58)。

[0140] クロックジッタ補正值の算出を開始すると、CPU54(図5)は、ステップS111(図29)で現在使用している収束判定テーブルが4(すなわち、table=4)であるか確認する。そして、補正テーブル(table値)が4未満であった場合は、ステップS116にて、実施の形態3で説明した図22に示すクロックジッタ補正值CORRECTTM算出フローに従い、クロックジッタ補正值を算出する。一方、ステップS111で現在使用している収束判定テーブルが4であった場合は、計測値MEMSUMが所定値(MEMSUM値の上限値)より大きいか判断する(図29のステップS112)。計測値MEMSUMが所定値(MEMSUM値の上限値)より大きい場合は、現在のCORRECTTM値に予め定められた数値(COMPTM)を加えクロックジッタ補正值の算出動作を終了する(図29のステップS113)。なお、ステップS113において、前回のCORRECTTM値の算出時に本ルーチンを通り強制的にオフセット値がCORRECTTM値に加えられていた場合は、CORRECTTM値に何も処理を施さずそのまま出力する(なお、該フローは図示していない。)。

[0141] 一方、ステップS112で計測値MEMSUMが所定値(MEMSUM値の上限値)より小さいと判断された場合は、ステップS114で計測値MEMSUMが所定値(MEMSUM値の下限値)より小さいかを判断する。所定値(MEMSUM値の下限値)より小さい場合は、現在のCORRECTTM値から予め定められた数値(COMPTM)を減算し、補正值算出動作を終了する(ステップS115)。なお、前回のCORRECTTM算出時に本ルーチンを通り強制的にオフセット値がCORRECTTM値に加えられていた場合は、CORRECTTM値に何も処理を施さずそのまま出力する(なお、該フ

ローは図示していない。)。ステップS114で計測値MEMSUMが所定値(MEMSUM値の下限値)より大きい場合は、ステップS116にて、実施の形態3で説明した図22に示すクロックジッタ補正值算出フローに従い、クロックジッタ補正值を算出する。なお、本実施の形態5では、ステップS116でクロックジッタ補正值を算出する際、前回のクロックジッタ補正值算出の際、ステップS113、あるいはステップS115でCORRECTTM値に強制的にオフセットが加えられていた場合は、図22中のステップ72に示すように現在のCORRECTTM値にdCORRECTTM値を加算するのではなく、強制的に加えたオフセット値を現在のCORRECTTM値より減算するように構成する。このように、通常のクロックジッタ補正值算出フローに復帰する最初のステージで、クロックジッタ補正值の算出をマスクし、強制的に加えたオフセット値を現在のCORRECTTM値に加えることにより、以降の制御において、上記収束したCORRECTTM値に加えたオフセット値が外乱になることはなく、システムを安定して制御できる効果がある。

[0142] また、本実施の形態5では、クロックジッタ補正值算出の際、図29に示すフローに従い、クロックジッタ補正值が収束している場合、強制的にクロックジッタ補正值のオフセットを加え、メモリ53(図5)内の平均記憶TS数がメモリのセンターになるよう制御するので、入力されるTSの平均レートの変化にも対応できるようクロックジッタ補正值算出制御(メモリアンダーフロー、あるいはオーバーフローの起こらない制御)を実施することができる効果がある。なお、本実施の形態5では強制的にオフセットを加える条件をtable=4の場合について説明したが、これに限るものではなく、各収束判定ステージにおいて、計測値MEMSUMの閾値を決めておき、上記制御を各収束ステージで実施するように構成しても同様の効果を奏する。

[0143] 実施の形態6.

図30は、本発明の実施の形態6における無線受信装置のクロックジッタ補正值算出時の動作を示すフローチャートである。なお、本実施の形態6は、新たにTSの受信レートを監視し、TS受信レートが大きく変化した場合、クロックジッタ補正值算出、及びクロックジッタ補正值収束判定をマスクするフローを追加した点が、上記実施の形態3と相違する。上述したように、例えば、放送番組が切り替わり受信ストリームがH

Dストリーム(20Mbps)からSDストリーム(6Mbps)に変化すると、実施の形態3では計測値MEMSUM(「MEMSUM値」とも言う。)が大きく変化する。これは、クロックジッタ値に起因するものではなく、受信ストリームの平均受信レートの変化に起因するものである。よって、実施の形態3に示すフロー(図21)に従い制御した場合、クロックジッタ補正值が大きく外れる。よって、本実施の形態6では、計測したTS平均レートの変化に着目し、大きく変化した場合、クロックジッタ補正算出動作をマスクすることにより、システムを安定に動作させるよう構成する。

[0144] 以下、図30に示すフローチャートを用いてクロックジッタ補正值の算出フローを説明する。なお、本実施の形態6は、図30に示すクロックジッタ補正值算出フローのみが、実施の形態3と異なる(実施の形態3では図21)。よって、実施の形態6においては、実施の形態3と同一部分に関しては詳細な動作の説明は省略する。ステップS216(図19)にて初期値の計測、及び設定が終了するとCPU54(図5)はクロックジッタ補正動作を開始する。クロックジッタ補正動作が開始されると、CPU54はまずはじめステップS51(図21)で計測時間が経過するまで待機する。計測時間が経過すると、CPU54(図5)は、計測値MEMSUM及び平均読み出しレートTSRateを、一旦P MEMSUM及びPTSRateとして退避させ、その後に、積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)に記憶されている計測結果を読み込み、その後、積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)を初期値‘0’にセットすると共に、メモリ記憶データ量積分回路5229(図9)、TS出力数計測カウンタ5231、及び計測時間測定カウンタ5233をも初期値‘0’にセットする。次に、CPU54(図5)は、計測値MEMSUM、平均読み出しレートTSRate、及びクロックジッタ値dSUMを算出し補正值の算出を実施する(図30のステップS52からステップS57)。

[0145] クロックジッタ値dSUMの算出を終了すると、CPU54(図5)は、ステップS121(図30)でTSレートが大きく変化したか判断する。TS平均レートが大きく変化したと判断された場合は、ステップS123でnに‘0’が入力される。一方、大きく変化していなかつたと判断された場合は、nの値を1つインクリメントする(図30のステップS122)。そし

て、ステップS124でnが所定値(N)を超えているか判断し、nが所定値Nを超えていた場合は、ステップS58以降のクロックジッタ補正值算出フローを実施する。一方、nが所定値N以下の場合は、クロックジッタ補正值算出フローをスキップし、クロックジッタ補正值算出フローを終了する。

[0146] 本実施の形態6は上述のようにクロックジッタ補正值算出フローを制御するので、TS受信レートが大きく変化した場合においても、クロックジッタ補正值算出、及びクロックジッタ補正值収束判定をマスクするので、例えば、放送番組が切り替わり受信ストリームがHDストリーム(20Mbps)からSDストリーム(6Mbps)に変化した場合においても、クロックジッタ補正值が大きく外れることなく、システムを安定に動作させができる効果がある。なお、本実施の形態6では、TSレートが大きく変化した後は所定回クロックジッタ値の補正をマスクする。これは、以下の理由による。上述したように受信したTSはTSの先頭に付加されているタイムスタンプ情報を元にメモリ53(図5)から読み出される。従って、TSの平均受信レートが大きく変化した場合は、実施の形態5でも説明したように、上記メモリ53内での制御ポイントが変化する。従って、本実施の形態6では受信TSレートが大きく変化した場合は、上記メモリ53内での制御ポイントが安定するまでクロックジッタ補正值の算出をマスクすることにより、システムを安定に動作させるよう構成する。

[0147] なお、本実施の形態6では受信TSレートの変化を、TS出力数記憶レジスタ5232より読み出したTS数の変化を元に算出したが、これに限るものではない。メモリ53に入力されるTS数を計測するTS入力数計測カウンタを準備し、該TS入力数計測カウンタのカウンタ値をもとに受信TSレートを判断するよう構成しても、受信TSレートの変化を検出することができるので、受信TSレートが大きく変化したことを検出でき、上記メモリ53内での制御ポイントが安定するまでクロックジッタ補正值の算出をマスクすることにより、システムを安定に動作させることができる効果がある。また、受信TSレートの変化は上述したものに限るものではなく、例えば、D-VHSにて通常再生から高速再生に切り換えた場合でも、受信TSレートは大きく変化する。そのような場合においても、上述したように制御することでシステムを安定に動作させることができる効果がある。

[0148] 実施の形態7.

図31は、本発明の実施の形態7における無線受信装置のクロックジッタ補正值算出時の動作を示すフローチャートである。なお、本実施の形態7では、実施の形態3(図21)と比較して、新たにメモリ残量積分差分値(クロックジッタ値dSUM)を監視し、クロックジッタ値dSUMが大きく変化した場合、クロックジッタ補正值算出、及びクロックジッタ補正值収束判定をマスクするフローを追加した点が、上記実施の形態3(図21)と相違する。上述したが、例えば放送番組が切り替わり受信ストリームがHDストリーム(20Mbps)からSDストリーム(6Mbps)に変化すると、計測値MEMSUM(「MEMSUM値」とも記す。)が大きく変化する。これは、クロックジッタ値に起因するものではなく、受信ストリームの平均受信レートの変化に起因するものである。よって、実施の形態7では、クロックジッタ値dSUMを用いて受信ストリームの平均TSレートの変化を検出するよう構成した。(なお、実施の形態6では、受信TSレートで判断した。)

[0149] 以下、図31に示すフローチャートを用いてクロックジッタ補正值の算出フローを説明する。なお、本実施の形態7は、図31に示すクロックジッタ補正のマスクフローのみ実施の形態6と異なる(実施の形態6では図30)。よって、実施の形態6と同一部分に関しては詳細な動作の説明は省略する。ステップS216(図19)にて初期値の計測、及び設定が終了するとCPU54(図5)はクロックジッタ補正動作を開始する。クロックジッタ補正動作が開始されるとCPU54はまずはじめステップS51(図21)で計測時間が経過するまで待機する。計測時間が経過するとCPU54(図5)は、計測値MEMSUM、及び平均読み出しレートTSRateを一旦退避させて後に、積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)に記憶されている計測結果を読み込み、その後、積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)を初期値‘0’にセットすると共に、メモリ記憶データ量積分回路5229(図9)、TS出力数計測カウンタ5231、及び計測時間測定カウンタ5233をも初期値‘0’にセットする。次に、CPU54(図5)は、計測値MEMSUM、平均読み出しレートTSRate、及びクロックジッタ値dSUMを算出し補正值の算出を実施する(図31のステップS52

からステップS57)。

[0150] クロックジッタ値dSUMの算出を終了すると、CPU54(図5)は、ステップS131(図31)でクロックジッタ値dSUMが大きく変化したか判断する。クロックジッタ値dSUMが大きく変化したと判断された場合は、ステップS133でnに‘0’が入力される。一方、大きく変化していなかった場合は、nの値を1つインクリメントする(図31のステップS132)。そして、ステップS134でnが所定値Nを超えているか判断し、nが所定値Nを超えていた場合は、ステップ58以降のクロックジッタ補正值算出フローを実施する。一方、nが所定値N以下の場合は、クロックジッタ補正值算出フローをスキップし、クロックジッタ補正值算出動作を終了する。

[0151] 本実施の形態7は、上述のようにクロックジッタ補正值算出フローを制御するので、クロックジッタ値dSUM(TS受信レート)が大きく変化した場合においても、クロックジッタ補正值算出、及びクロックジッタ補正值収束判定をマスクするので、例えば、放送番組が切り替わり受信ストリームがHDストリーム(20Mbps)からSDストリーム(6Mbps)に変化した場合においてもクロックジッタ補正值が大きく外れることなく、システムを安定に動作させることができる効果がある。なお、本実施の形態7では、実施の形態6と同様、クロックジッタ値dSUMが大きく変化した後は、所定回クロックジッタ値の補正をマスクする。これは、以下の理由による。上述したように、受信したTSはTSの先頭に付加されているタイムスタンプ情報を元にメモリ53(図5)から読み出される。従って、TSの平均受信レートが大きく変化した場合は、実施の形態6でも説明したように、上記メモリ53内での制御ポイントが変化する。従って、本実施の形態7では、受信TSレートが大きく変化した場合は、上記メモリ53内での制御ポイントが安定するまでクロックジッタ補正值の算出をマスクすることにより、システムを安定に動作させる構成できる。

[0152] また、本実施の形態7ではクロックジッタ値dSUMの振幅をもとに、クロックジッタ補正值の算出動作をマスクするよう構成したが、これに限るものではなく、例えば、図32に示す動作フロー(ステップS141～S144)に示すように、クロックジッタ補正值算出中にメモリ53(図5)のオーバーフロー、あるいはアンダーフローを検出した場合においても、予め定められた回数、クロックジッタ補正值の算出をマスクするように構成す

れば、クロックジッタ補正値が大きくはずれる事はなく、システムを安定に制御することができる効果がある。特に、クロックジッタ補正値が収束していた場合は、上記受信TSレートの大きな変化が発生したとき(例えばD-VHSが通常再生から高速再生に移行する場合、数秒間TSの受信が途絶えることがある。)においても、クロックジッタ補正値が大きく外れることがなく、システムを安定に動作させることができる効果がある。

[0153] **変形例の説明.**

上記実施の形態1～7においては、図4に示されるように、188バイトのTSの先頭に4バイトのタイムスタンプを付加し伝送する場合について説明したが、本発明のデータ受信装置(無線受信装置)及びデータ受信方法の適用範囲はこのような場合に限定されるものではなく、例えば、2バイトのタイムスタンプを付加する、又は、無線伝送の際に発生するランダム誤りを訂正するためにリード・ソロモン符号等の誤り訂正符号を、図4に示される192バイトのデータの後に付加する等の変更を加えてもよい。また、誤り訂正符号は、TSのみに付加してもよく、また、タイムスタンプとTSのそれぞれに対して付加してもよい。

[0154] また、上記実施の形態1～7においては、TSを無線伝送する際に、無線区間におけるオーバヘッドを極力小さくするため、タイムスタンプ付きTSを予め定められた数(7個のTS)を集め無線パケットを構成する場合について説明したが、本発明のデータ受信装置(無線受信装置)及びデータ受信方法の適用範囲はこのような場合に限定されるものではなく、例えば、8個以上のTSを集めて無線パケットを構成してもよく、又は、6個以下のTSを集めて無線パケットを構成してもよい。さらに、無線区間のパケットエラー率に応じて伝送するパケット長を変えてもよい。例えば、パケットエラー率が高い場合は、無線パケット長を短くし、再送制御によるオーバヘッドを極力小さくするよう制御すれば、効率よくTSを送受信することができる。

[0155] また、上記実施の形態1～7においては、無線受信装置50で最大2本のTSを扱う場合について説明したが、本発明のデータ受信装置(無線受信装置)及びデータ受信方法の適用範囲はこのような場合に限定されるものではなく、3本以上のTSを同時に扱うようにすることもできる。3本以上のTSを無線受信装置50で扱う場合は、扱う最大のTS数分の記憶領域をメモリ53(図5)内に確保すると共に、各々の記憶領域

に対応したTSデータ読み出しタイミング生成回路521(図6)を用いてメモリ53(図5)に記憶されたTSの読み出しタイミングを発生すれば、受信した各々のTSごとにクロック再生(クロックジッタ補正)を行うことができる。

[0156] また、上記実施の形態1～7においては、受信パケットの平均伝送レートをメモリ53(図5)から読み出されるTSのパケット数で求めるよう構成したが、本発明のデータ受信装置(無線受信装置)及びデータ受信方法の適用範囲はこのような場合に限定されるものではなく、例えば、受信した無線パケット内のTSをメモリ53(図5)へ書き込む際のパケット数から算出してもよい。また、受信パケットの平均伝送レートを、直接無線LANモジュール51(図5)で受信した際に、求めるように構成してもよい。

[0157] また、上記実施の形態1～7においては、送信機(無線送信装置)の機器識別に、MACアドレス又はIPアドレスを使用する場合について説明したが、本発明のデータ受信装置(無線受信装置)及びデータ受信方法の適用範囲はこのような場合に限定されるものではなく、送信機と一対一で決まる情報であれば、他の機器固有情報を用いてもよい。

[0158] また、上記実施の形態1～7においては、クロックジッタ計測のための初期値を算出する際に、計測時間を1GOPの期間(0.5秒)にセットしたが、本発明のデータ受信装置(無線受信装置)及びデータ受信方法の適用範囲はこのような場合に限定されるものではなく、計測時間を1秒又は2秒等の他の値に設定してもよい。

[0159] また、上記実施の形態1～7においては、TSデータ読み出しタイミング生成回路521(図6)内の時刻計測用カウンタ5213(図8)の時刻補正間隔を100msとした場合を説明したが、本発明のデータ受信装置(無線受信装置)及びデータ受信方法の適用範囲はこのような場合に限定されるものではなく、10ms又は200ms等の他の値に設定してもよく、使用している発振機、又は、発振子の精度に基づいて決定すればよい。

[0160] また、上記実施の形態1～7においては、MPEG2システムのTSをジッタを有する無線ネットワークを介して伝送する場合について説明したが、本発明のデータ受信装置(無線受信装置)及びデータ受信方法の適用範囲はこのような場合に限定されるものではなく、例えば、他の圧縮方式で伝送されるビデオデータ、MPEG2システムの

PES(Packetized Elementary Stream)フォーマット、電話等の音声データ、又はCD等から再生されたデジタルオーディオデータ等のようにリアルタイム性を要求されるデータをジッタを有するネットワークを介して伝送する場合等に広く適用できる。

[0161] また、上記実施の形態1～7においては、有線ネットワークがIEEE1394規格に準拠するシステムであり、無線ネットワークがIEEE802.11a規格準拠するシステムである場合について説明したが、本発明のデータ受信装置(無線受信装置)及びデータ受信方法の適用範囲はこのような場合に限定されるものではない。本発明のデータ受信装置及びデータ受信方法は、無線ネットワークのようにデータを送受信する際にネットワークジッタ(クロックジッタ)が保証されていないIEEE802.11関連のネットワーク、イーサネット(Ethernet)によるネットワーク、超広帯域(UWB:Ultra Wide band)通信を用いたネットワーク、ブルートゥース(Bluetooth)を用いたネットワーク等のような他の無線ネットワークに適用することができる。さらに、本発明のデータ受信装置及びデータ受信方法は、高速電力線通信(PLC:Power Line Control)、あるいはRF線を使用した通信等の有線のネットワークに適用することもできる。

[0162] また、上記実施の形態1～7においては、無線送受信装置がIEEE1394規格に準拠した有線ネットワークの一部を構成としている場合について説明したが、本発明のデータ受信装置(無線受信装置)及びデータ受信方法の適用範囲はこのような場合に限定されるものではなく、TSが直接入力される無線送受信装置、又は、MPEG2エンコーダが内蔵されておりアナログビデオ信号又はデジタルビデオ信号が入力される無線送受信装置から構成されるネットワークにも適用できる。

[0163] また、本発明は、無線LAN等のジッタを有するネットワークを用いたオーディオビジュアル系のホームネットワークシステム、又は、映像ストリームを配信する映像監視システム等に適用することができる。

請求の範囲

[1] 伝送路を介してパケットデータを受信し、予め上記パケットデータに付加された時刻情報をもとにパケットデータを出力するデータ受信装置において、
上記受信したパケットデータを記憶する記憶手段と、
上記受信したパケットデータに付加された上記時刻情報を分離し、上記分離された時刻情報をもとに上記記憶手段からパケットデータを読み出す制御手段とを有し、
上記制御手段にて読み出しタイミングを生成する際に、上記記憶手段に一時記憶されている受信パケットデータの量の積分結果及び上記積分の積分期間の計測結果をもとに、データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、
上記受信パケットデータの読み出しタイミングに上記偏差に基づくオフセット量を加え上記受信パケットデータの読み出しタイミングを生成する
ことを特徴とする。

[2] 上記データ受信装置は、複数のデータ送信装置から送信された複数のパケットデータを受信し、
上記記憶手段が、上記受信手段により受信された上記複数のパケットデータのそれぞれを記憶する複数の記憶領域を有し、
上記制御手段が、上記複数の記憶領域に対応した複数の上記読み出しタイミングを生成する
ことを特徴とする請求の範囲第1項記載のデータ受信装置。

[3] 上記制御手段は、
データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、上記受信パケットデータの読み出しタイミングを生成する際に、
パケットデータの受信開始時から予め定められた期間に、上記記憶手段に書き込まれる受信パケットデータの量の積分結果を、この積分の積分期間における受信パケットデータの平均受信レートで除算することによって目標値を計算し、
上記予め定められた期間の後に、上記記憶手段に書き込まれる受信パケットデータの量の積分結果を、この積分の積分期間における受信パケットデータの平均受信レートで除算することによって計測値を計算し、

上記目標値と上記計測値との間の差分を、上記クロック周波数の偏差とすることを特徴とする請求の範囲第1項記載のデータ受信装置。

[4] 上記制御手段は、
データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、上記受信パケットデータの読み出しタイミングを生成する際に、
パケットデータの受信開始時から予め定められた期間に、上記記憶手段に書き込まれる受信パケットデータの量の積分結果を、この積分の積分期間で除算することによって目標値を計算し、
上記予め定められた期間の後に、上記記憶手段に書き込まれる受信パケットデータの量の積分結果を、この積分の積分期間で除算することによって計測値を計算し、
上記目標値と上記計測値との間の差分を、上記クロック周波数の偏差とすることを特徴とする請求の範囲第1項記載のデータ受信装置。

[5] 上記制御手段は、
上記受信手段が受信するパケットデータの平均受信レートを計算し、計算された上記平均受信レートが所定値以上変化した場合に、上記目標値を再度計算し設定することを特徴とする請求の範囲第4項記載のデータ受信装置。

[6] 以前のパケットデータの受信完了時に、データ送信装置とデータ受信装置間のクロック周波数の偏差に基づいて算出された以前のオフセット量、及び、この以前のオフセット量の算出時におけるデータ送信装置に固有の機器識別情報を記憶する第2の記憶手段を有し、
上記制御手段は、新たにパケットデータの受信を開始する際に、上記受信された新たなパケットデータを送信したデータ送信装置が、上記第2の記憶手段に記憶されている機器識別情報を有するデータ送信装置である場合に、上記第2の記憶手段に記憶されているオフセット量を初期値として上記読み出しタイミングを生成することを特徴とする請求の範囲第1項記載のデータ受信装置。

[7] 上記データ送信装置を識別する機器識別情報が、上記データ送信装置のIPアドレス又はMACアドレスの少なくとも一方であることを特徴とする請求の範囲第6項記載のデータ受信装置。

[8] 上記制御手段が、
上記受信したパケットデータに付加された上記時刻情報を分離する時刻情報分離手段と、
上記時刻情報分離手段より分離された時刻情報をもとに上記記憶手段よりパケットデータを読み出すデータ読み出しタイミング生成手段と、
上記記憶手段に一時記憶されている受信パケットの量の積分結果、処理したパケット数、及び上記積分計測時間をもとに、上記記憶手段に一時記憶されている受信パケット量の正規化された積分値を算出する積分値算出手段とを有し、
上記データ読み出しタイミング生成手段にて読み出しタイミングを生成する際、上記積分値算出手段より出力される該正規化された受信パケットの積分値から、前回のクロック周波数偏差を算出する際に上記積分値算出手段にて算出した該正規化された受信パケットの積分値を減算し、該減算結果をもとにデータ送信装置とデータ受信装置間のクロック周波数の偏差を算出し、該クロック周波数の偏差算出結果をもとに上記受信パケットの読み出しタイミングにオフセットを加え、該受信パケットの読み出しタイミングを生成するよう制御することを特徴とする請求の範囲第1項記載のデータ受信装置。

[9] 該クロック周波数の偏差算出の際、予め定められた回数以上該クロック周波数の偏差の算出結果の絶対値が連続して所定値以下の場合、データ送信装置とデータ受信装置間のクロック周波数の偏差が収束したと判断するクロック周波数偏差収束判定手段を有することを特徴とする請求の範囲第8項記載のデータ受信装置。

[10] 上記クロック周波数偏差収束判定手段にてデータ送信装置とデータ受信装置間のクロック周波数の偏差の収束を判定する際、少なくとも収束判定を複数の条件で段階的に切り替え実施するよう制御することを特徴とする請求の範囲第9項記載のデータ受信装置。

[11] 収束判定を実施する際、上記受信パケットの積分値を計測する時間、該クロック周波数の偏差算出結果をもとに上記受信パケットの読み出しタイミングにオフセットを加える際のゲイン、及び収束判定を行う際の所定値の少なくとも1つは該各段階で切り換えるよう制御することを特徴とする請求の範囲第10項記載のデータ受信装置。

[12] 上記クロック周波数の偏差算出結果をもとに上記受信パケットの読み出しタイミングに加えるオフセット値の低域成分を抽出する低域成分抽出手段を有し、
上記クロック周波数偏差収束判定手段にて該クロック周波数の偏差が収束したか
判定する際、該低域成分抽出手段の出力が予め定められた回数以上連續して所定
の範囲内の振幅であった場合、データ送信装置とデータ受信装置間のクロック周波
数の偏差が収束したと判断するよう制御する
ことを特徴とする請求の範囲第9項記載のデータ受信装置。

[13] 上記クロック周波数の偏差算出結果をもとに上記受信パケットの読み出しタイミング
にオフセットを加える際に、上記オフセット値がデータ送信装置、及びデータ受信裝
置に使用されているクロック発生手段の周波数精度より求められる所定の範囲内に
ない場合、該オフセット値を所定の範囲内になるよう振幅制限をかけるよう構成するこ
とを特徴とする請求の範囲第8項記載のデータ受信装置。

[14] 上記クロック周波数偏差収束判定手段にてクロック周波数が収束されたと判断され
た場合、上記受信パケットの読み出しタイミングに加えるオフセットを強制的に加え、
上記記憶手段に一時記憶されている受信パケット量の正規化された積分値が予め
定められた範囲に入るよう制御することを特徴とする請求の範囲第8項記載のデータ
受信装置。

[15] 上記受信パケットの読み出しタイミングに加えるオフセットを強制的に加え、上記記
憶手段に一時記憶されている受信パケット量の正規化された積分値が予め定められ
た範囲に入るよう制御した直後の、データ送信装置とデータ受信装置間のクロック周
波数の偏差の算出はマスクするよう構成することを特徴とする請求の範囲第14項記
載のデータ受信装置。

[16] 該クロック周波数の偏差算出結果をもとに上記受信パケットの読み出しタイミングに
オフセットを加え、該受信パケットの読み出しタイミング生成する際、上記処理したパ
ケット数が、前回計測した数値と比較し大きく変化していた場合、受信パケットの受信
レートが大きく変化したと判断し、データ送信装置とデータ受信装置間のクロック周波
数の偏差の算出はマスクするよう構成することを特徴とする請求の範囲第8項記載の
データ受信装置。

[17] 該クロック周波数の偏差算出結果をもとに上記受信パケットの読み出しタイミングにオフセットを加え該受信パケットの読み出しタイミング生成する際、上記記憶手段に入力されるパケット数を計測する入力パケット数計測手段を有し、
該入力パケット計測手段より出力される入力パケット数が、前回計測した入力パケット数と比較し大きく変化していた場合、受信パケットの受信レートが大きく変化したと判断しデータ送信装置とデータ受信装置間のクロック周波数の偏差の算出はマスクするよう構成すること
を特徴とする請求の範囲第8項記載のデータ受信装置。

[18] 該クロック周波数の偏差算出結果をもとに上記受信パケットの読み出しタイミングにオフセットを加え該受信パケットの読み出しタイミング生成する際、上記積分値算出手段より出力される該正規化された受信パケットの積分値から、前回のクロック周波数偏差を算出する際に上記積分値算出手段にて算出した該正規化された受信パケットの積分値を減算した結果が所定の範囲を超えていた場合、受信パケットの受信レートが大きく変化したと判断しデータ送信装置とデータ受信装置間のクロック周波数の偏差の算出はマスクするよう構成することを特徴とする請求の範囲第8項記載のデータ受信装置。

[19] 該クロック周波数の偏差算出結果をもとに上記受信パケットの読み出しタイミングに加えるオフセット値を算出する際、上記記憶手段に一時記憶されている受信パケットの量の積分結果、処理したパケット数、及び上記積分計測時間の計測中に上記記憶手段にてオーバーフロー、あるいはアンダーフローが発生した場合、データ送信装置とデータ受信装置間のクロック周波数の偏差の算出はマスクするよう構成することを特徴とする請求の範囲第8項記載のデータ受信装置。

[20] 伝送路を介してパケットデータを受信し、予め上記受信されたパケットデータに付加された時刻情報をもとにパケットデータを出力するデータ受信方法において、
上記受信したパケットデータを記憶手段に一時記憶するステップと、
上記受信したパケットデータに付加された上記時刻情報を分離し、上記分離された時刻情報をもとに上記記憶手段からパケットデータを読み出すステップとを有し、
上記パケットデータを読み出すステップにて読み出しタイミングを生成する際に、上

記憶手段に一時記憶されている受信パケットデータの量の積分結果及び上記積分の積分期間の計測結果をもとに、データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、上記受信パケットデータの読み出しタイミングに上記偏差に基づくオフセット量を加え上記受信パケットデータの読み出しタイミングを生成することを特徴とするデータ受信方法。

[21] データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、上記受信パケットデータの読み出しタイミングを生成する際に、
パケットデータの受信開始時から予め定められた期間に、上記記憶手段に書き込まれる受信パケットデータの量の積分結果を、この積分の積分期間における受信パケットデータの平均受信レートで除算することによって目標値を計算し、
上記予め定められた期間の後に、上記記憶手段に書き込まれる受信パケットデータの量の積分結果を、この積分の積分期間における受信パケットデータの平均受信レートで除算することによって計測値を計算し、
上記目標値と上記計測値との間の差分を、上記クロック周波数の偏差とする
ことを特徴とする請求の範囲第20項記載のデータ受信方法。

[22] データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、上記受信パケットデータの読み出しタイミングを生成する際に、
パケットデータの受信開始時から予め定められた期間に、上記記憶手段に書き込まれる受信パケットデータの量の積分結果を、この積分の積分期間で除算することによって目標値を計算し、
上記予め定められた期間の後に、上記記憶手段に書き込まれる受信パケットデータの量の積分結果を、この積分の積分期間で除算することによって計測値を計算し、
上記目標値と上記計測値との間の差分を、上記クロック周波数の偏差とする
ことを特徴とする請求の範囲第20項記載のデータ受信方法。

[23] 上記受信するパケットデータの平均受信レートを計算し、計算された上記平均受信レートが所定値以上変化した場合に、上記目標値を再度計算し設定することを特徴とする請求の範囲第22項記載のデータ受信方法。

[24] 以前のパケットデータの受信完了時に、データ送信装置とデータ受信装置間のクロ

ック周波数の偏差に基づいて算出された以前のオフセット量、及び、この以前のオフセット量の算出時におけるデータ送信装置に固有の機器識別情報を第2の記憶手段に記憶するステップをさらに有し、

新たにパケットデータの受信を開始する際に、上記受信された新たなパケットデータを送信したデータ送信装置が、上記第2の記憶手段に記憶されている機器識別情報を有するデータ送信装置である場合に、上記第2の記憶手段に記憶されているオフセット量を初期値として上記読み出しタイミングを生成する

ことを特徴とする請求の範囲第20項記載のデータ受信方法。

[25] 伝送路を介してパケットデータを受信し、予め上記パケットデータに付加された時刻情報をもとにパケットデータを出力するデータ受信方法において、
上記受信したパケットデータを記憶手段に記憶する記憶ステップと、

上記受信したパケットデータに付加された上記時刻情報を分離する時刻情報分離ステップと、

上記時刻情報分離ステップより分離された時刻情報をもとに上記記憶手段よりパケットデータを読み出すデータ読み出しタイミングを指示する読み出しタイミング生成ステップと、

上記記憶ステップにて一時記憶されている受信パケットの量を積分する積分ステップと、

上記積分ステップでの積分時間、及び処理したパケット数を計測する積分時間計測ステップと、上記積分ステップでの積分結果、及び積分時間計測ステップでの積分計測時間、及び処理したパケット数をもとに上記記憶ステップに一時記憶されている受信パケット量の正規化された積分値を算出する積分値算出ステップと、

上記積分値算出ステップにおいて算出された該正規化された受信パケットの積分値から、前回のクロック周波数偏差を算出する際に上記積分値算出ステップにて算出した該正規化された受信パケットの積分値を減算し、該減算結果をもとにデータ送信装置とデータ受信装置間のクロック周波数の偏差を算出するクロック周波数偏差計算ステップを有し、

上記読み出しタイミング生成ステップにて読み出しタイミングを生成する際、クロック周波数偏差計算ステップにて算出されたクロック周波数の偏差情報をもとに読み出しタイミングにオフセットを加えるよう制御することを特徴とするデータ受信方法。

- [26] 該クロック周波数の偏差算出の際、予め定められた回数以上該クロック周波数の偏差の算出結果の絶対値が連續して所定値以下の場合、データ送信装置とデータ受信装置間のクロック周波数の偏差が収束したと判断するクロック周波数偏差収束判定ステップを有することを特徴とする請求の範囲第25項記載のデータ受信方法。
- [27] 上記クロック周波数収束判定ステップにてデータ送信装置とデータ受信装置間のクロック周波数の偏差の収束を判定する際、少なくとも収束判定を複数の条件で段階的に切り替え実施するよう制御することを特徴とする請求の範囲第26項記載のデータ受信方法。
- [28] 収束判定を実施する際、上記受信パケットの積分値を計測する時間、該クロック周波数の偏差算出結果をもとに上記受信パケットの読み出しタイミングにオフセットを加える際のゲイン、及び収束判定を行う際の所定値の少なくとも1つは該各段階で切り換えるよう制御することを特徴とする請求の範囲第27項記載のデータ受信方法。
- [29] 上記クロック周波数の偏差算出結果をもとに上記受信パケットの読み出しタイミングに加えるオフセット値の低域成分を抽出する低域成分抽出ステップを有し、上記クロック周波数偏差収束判定ステップにて該クロック周波数の偏差が収束したか判定する際、該低域成分抽出ステップの出力が予め定められた回数以上連續して所定の範囲内の振幅であった場合、データ送信装置とデータ受信装置間のクロック周波数の偏差が収束したと判断するよう制御することを特徴とする請求の範囲第26項記載のデータ受信方法。
- [30] 上記クロック周波数の偏差算出結果をもとに上記受信パケットの読み出しタイミングにオフセットを加える際に、上記オフセット値がデータ送信装置、及びデータ受信装置に使用されているクロック発生手段の周波数精度より求められる所定の範囲内にない場合、該オフセット値を所定の範囲内になるよう振幅制限をかけることを特徴とする請求の範囲第25項記載のデータ受信方法。

[31] 上記クロック周波数偏差収束判定ステップにてクロック周波数が収束されたと判断された場合、上記受信パケットの読み出しタイミングに加えるオフセットを強制的に加え、上記記憶手段に一時記憶されている受信パケット量の正規化された積分値が予め定められた範囲に入るよう制御することを特徴とする請求の範囲第26項記載のデータ受信方法。

[32] 上記受信パケットの読み出しタイミングに加えるオフセットを強制的に加え、上記記憶手段に一時記憶されている受信パケット量の正規化された積分値が予め定められた範囲に入るよう制御した直後の、データ送信装置とデータ受信装置間のクロック周波数の偏差の算出はマスクすることを特徴とする請求の範囲第31項記載のデータ受信方法。

[33] 該クロック周波数の偏差算出結果をもとに上記受信パケットの読み出しタイミングにオフセットを加え、該受信パケットの読み出しタイミング生成する際、上記処理したパケット数が、前回計測した数値と比較し大きく変化していた場合、受信パケットの受信レートが大きく変化したと判断し、データ送信装置とデータ受信装置間のクロック周波数の偏差の算出はマスクすることを特徴とする請求の範囲第25項記載のデータ受信方法。

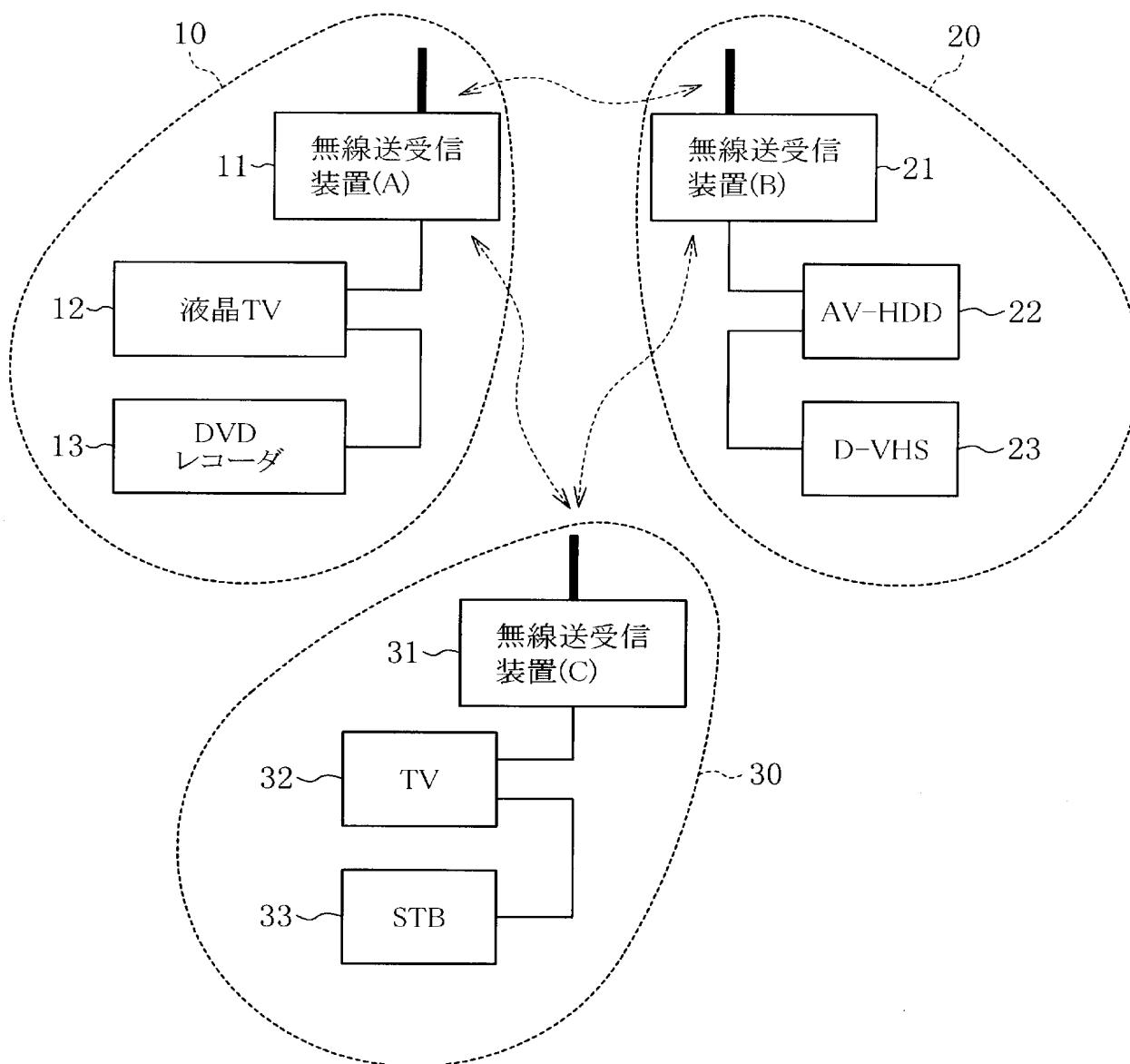
[34] 該クロック周波数の偏差算出結果をもとに上記受信パケットの読み出しタイミングにオフセットを加え該受信パケットの読み出しタイミング生成する際、上記記憶手段に入力されるパケット数を計測する入力パケット数計測ステップを有し、該入力パケット計測ステップより出力される入力パケット数が、前回計測した入力パケット数と比較し大きく変化していた場合、受信パケットの受信レートが大きく変化したと判断しデータ送信装置とデータ受信装置間のクロック周波数の偏差の算出はマスクすることを特徴とする請求の範囲第25項記載のデータ受信方法。

[35] 該クロック周波数の偏差算出結果をもとに上記受信パケットの読み出しタイミングにオフセットを加え該受信パケットの読み出しタイミング生成する際、上記積分値算出ステップにおいて出力される該正規化された受信パケットの積分値から、前回のクロック周波数偏差を算出する際に上記積分値算出ステップにて算出した該正規化された

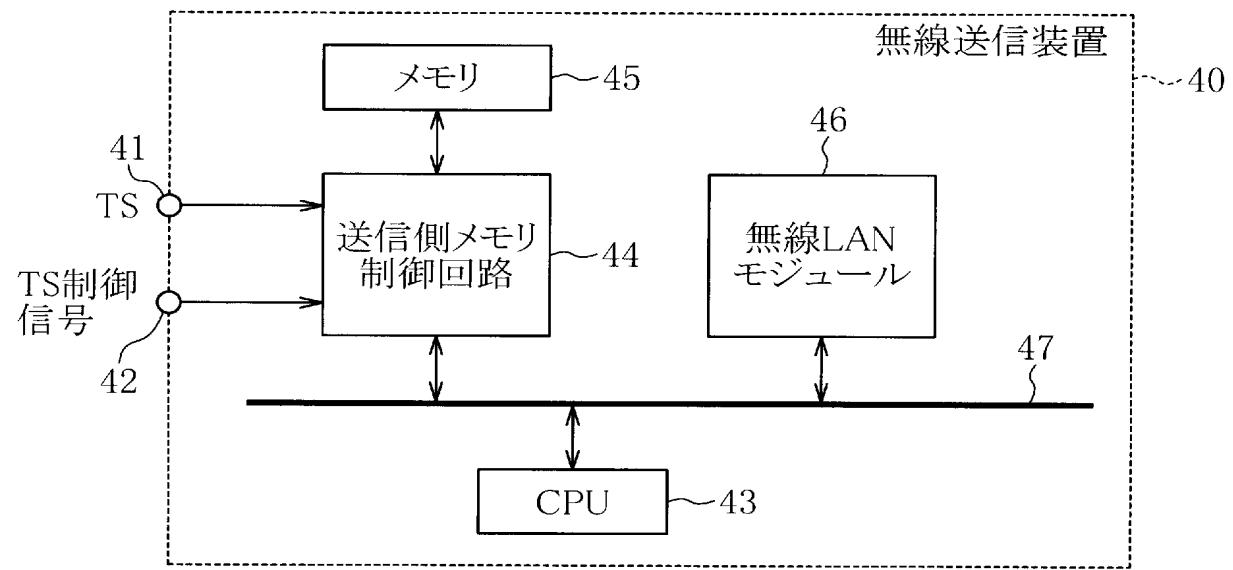
受信パケットの積分値を減算した結果が所定の範囲を超えていた場合、受信パケットの受信レートが大きく変化したと判断しデータ送信装置とデータ受信装置間のクロック周波数の偏差の算出はマスクすることを特徴とする請求の範囲第25項記載のデータ受信方法。

[36] 該クロック周波数の偏差算出結果をもとに上記受信パケットの読み出しタイミングに加えるオフセット値を算出する際、上記記憶ステップにおいて上記記憶手段に一時記憶されている受信パケットの量の積分結果、処理したパケット数、及び上記積分計測時間の計測中に上記記憶手段にてオーバーフロー、あるいはアンダーフローが発生した場合、データ送信装置とデータ受信装置間のクロック周波数の偏差の算出はマスクすることを特徴とする請求の範囲第25項記載のデータ受信方法。

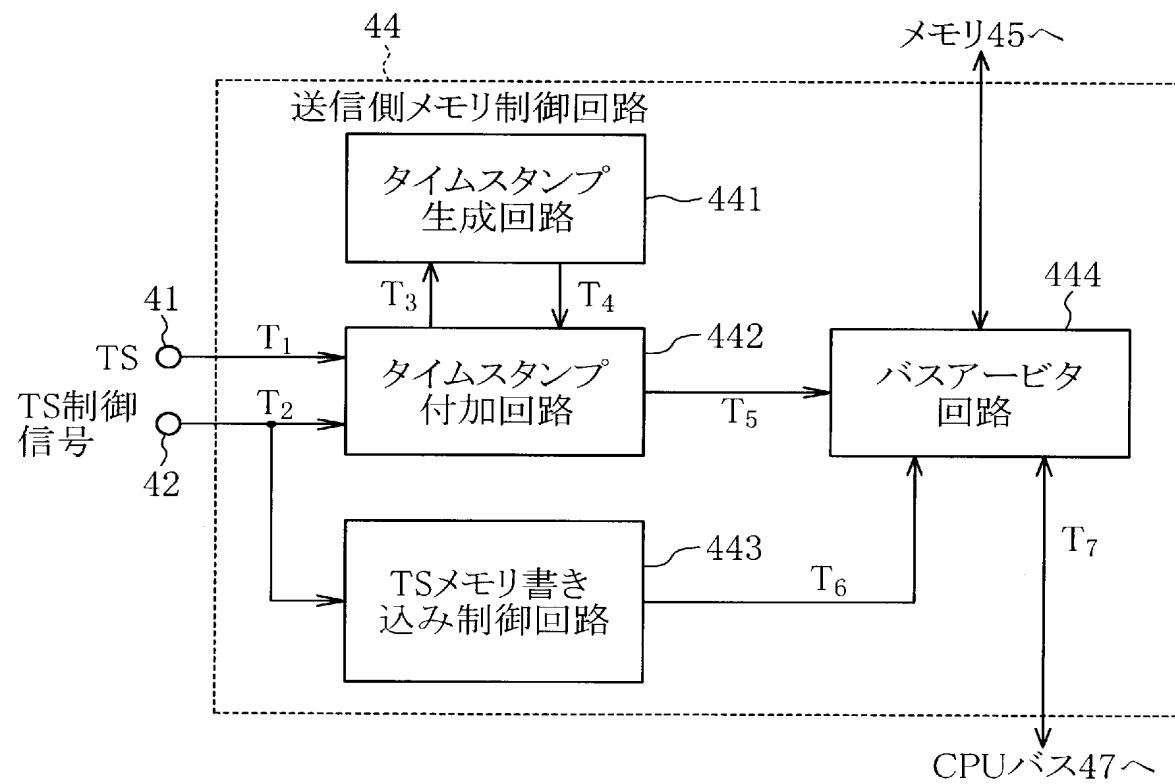
[図1]



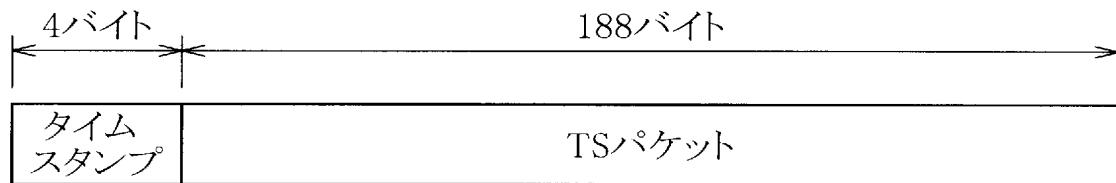
[図2]



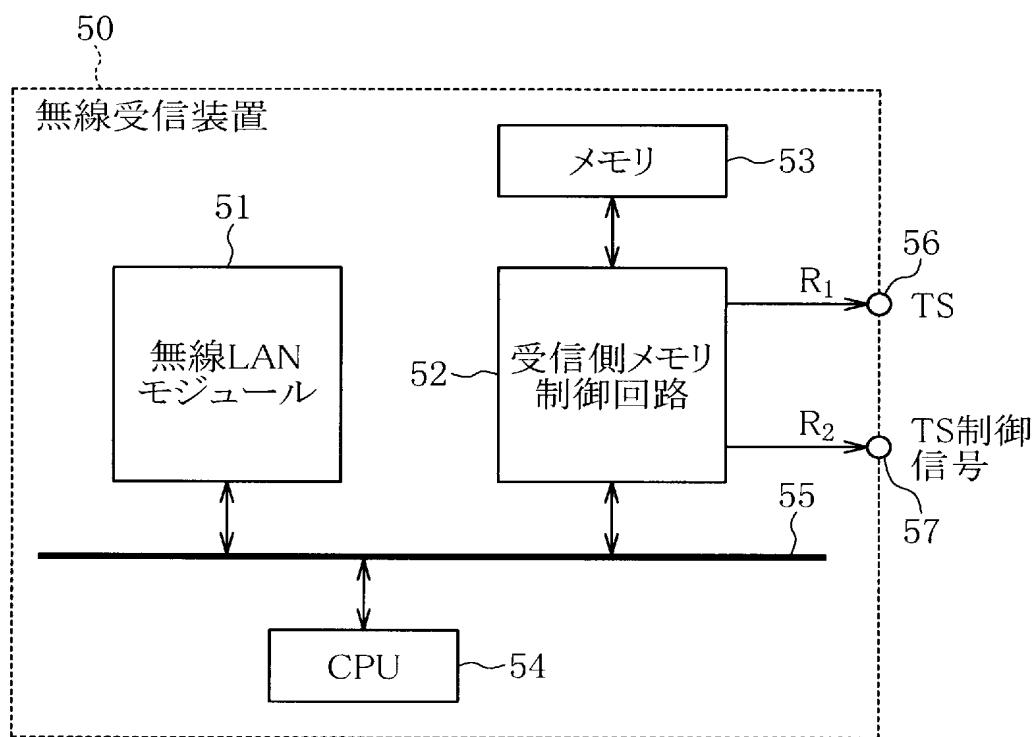
[図3]



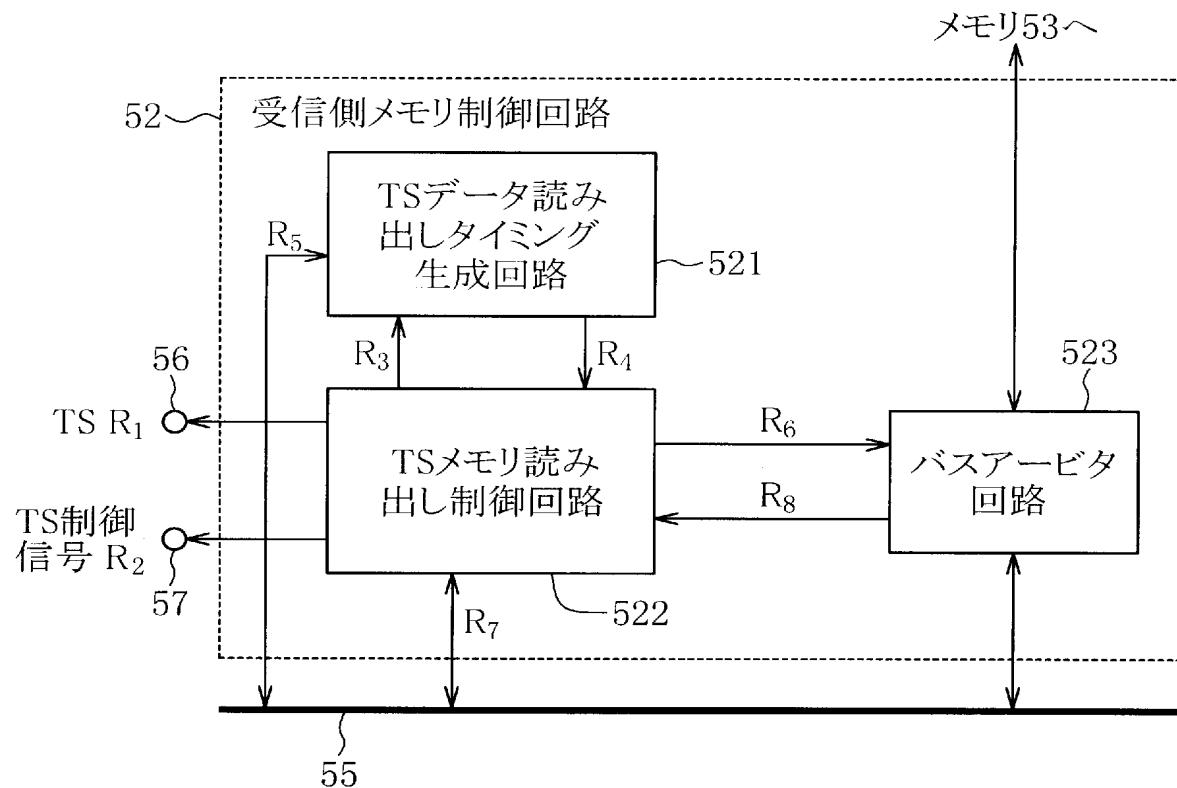
[図4]



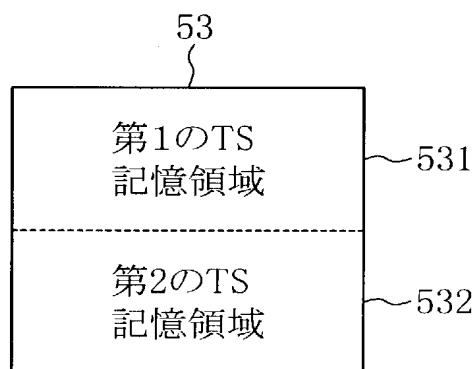
[図5]



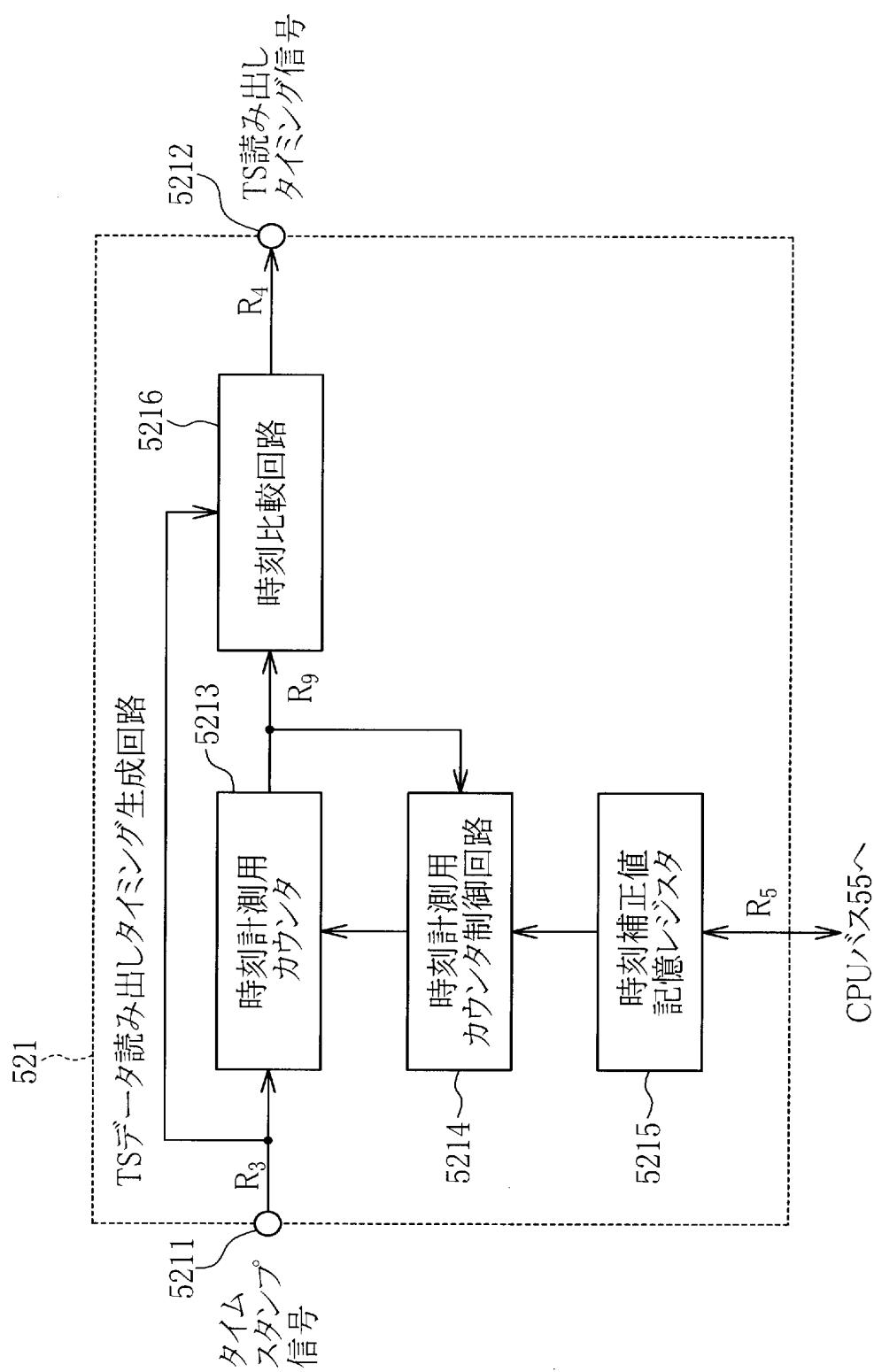
[図6]



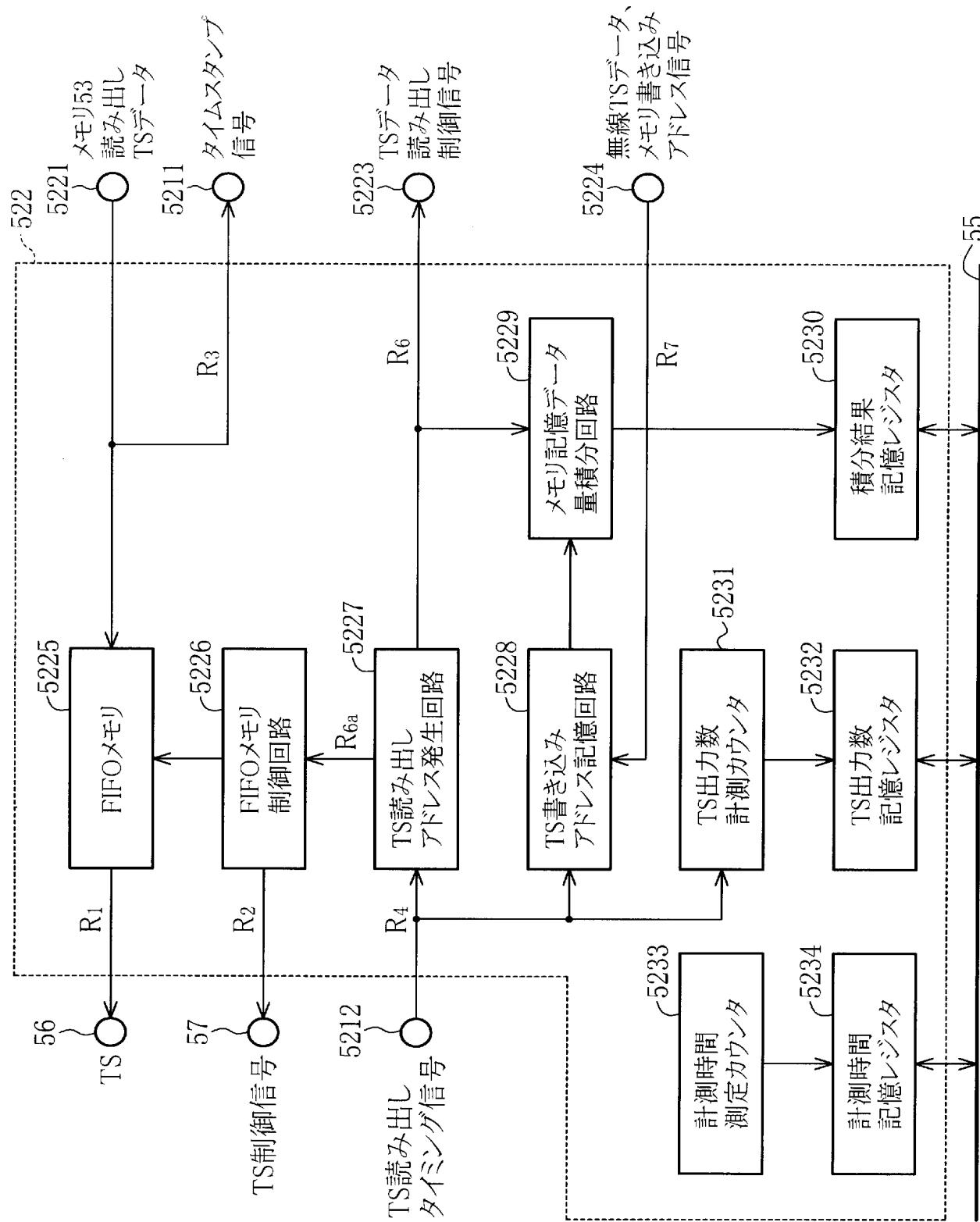
[図7]



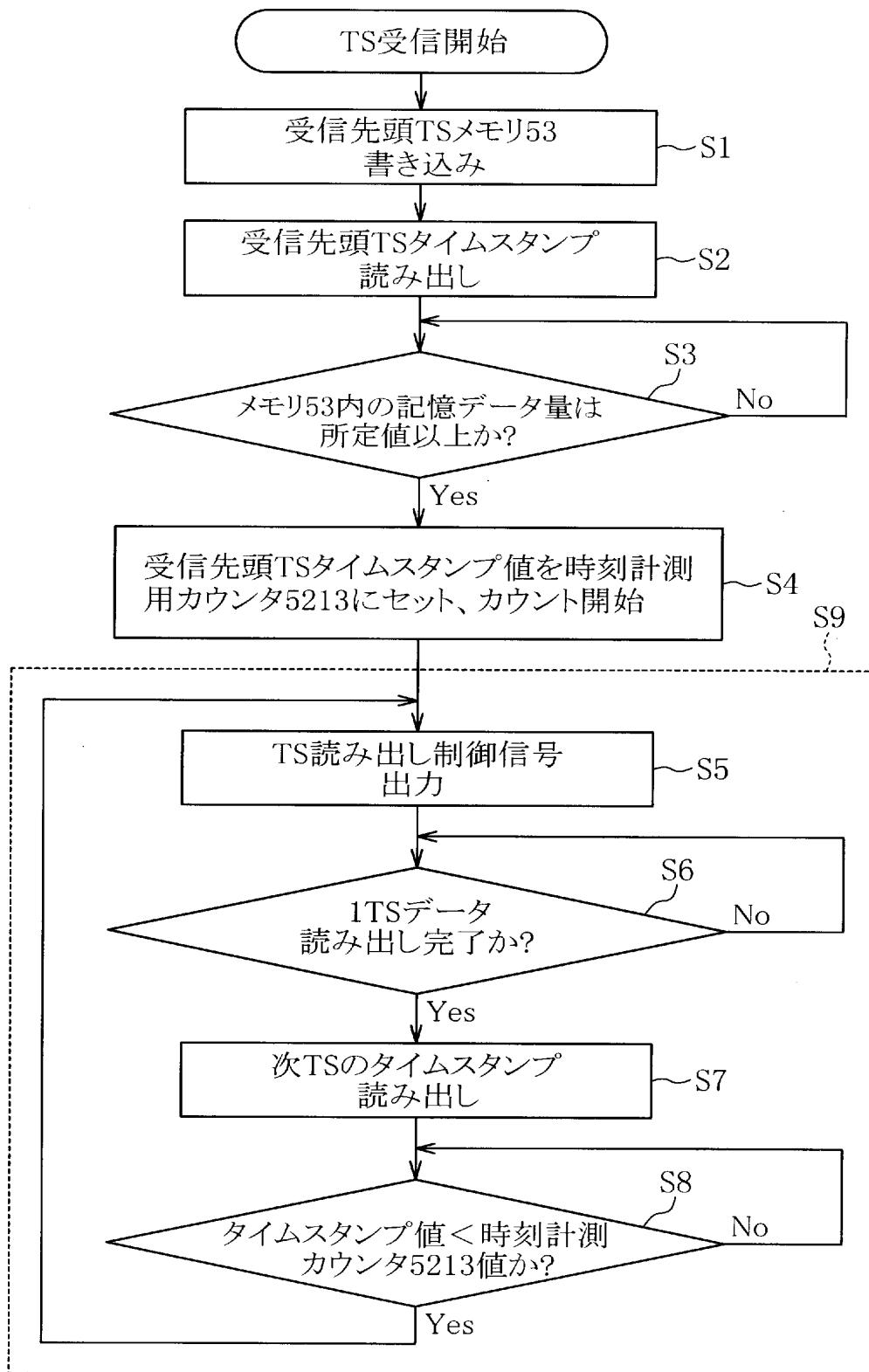
[図8]



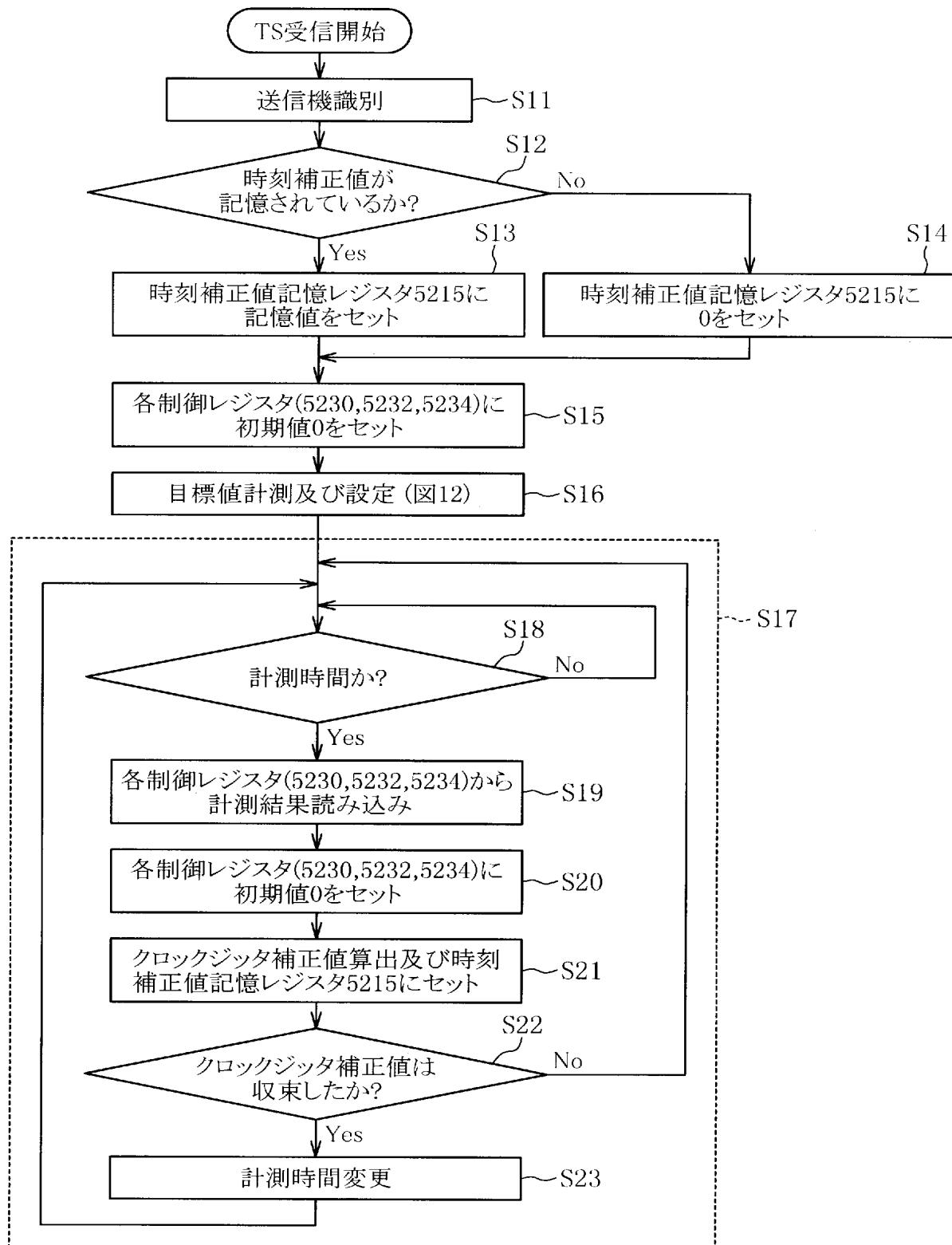
[図9]



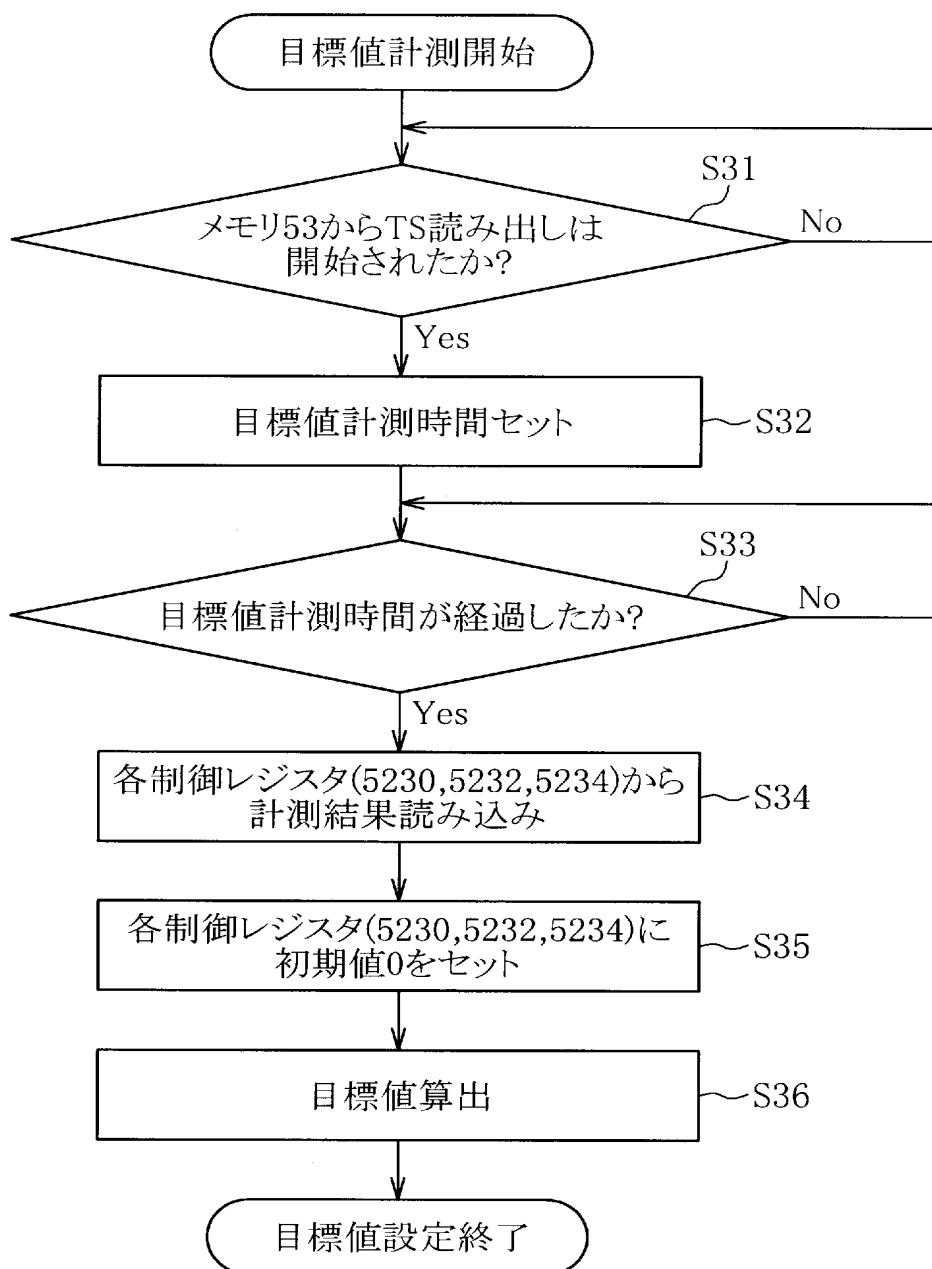
[図10]



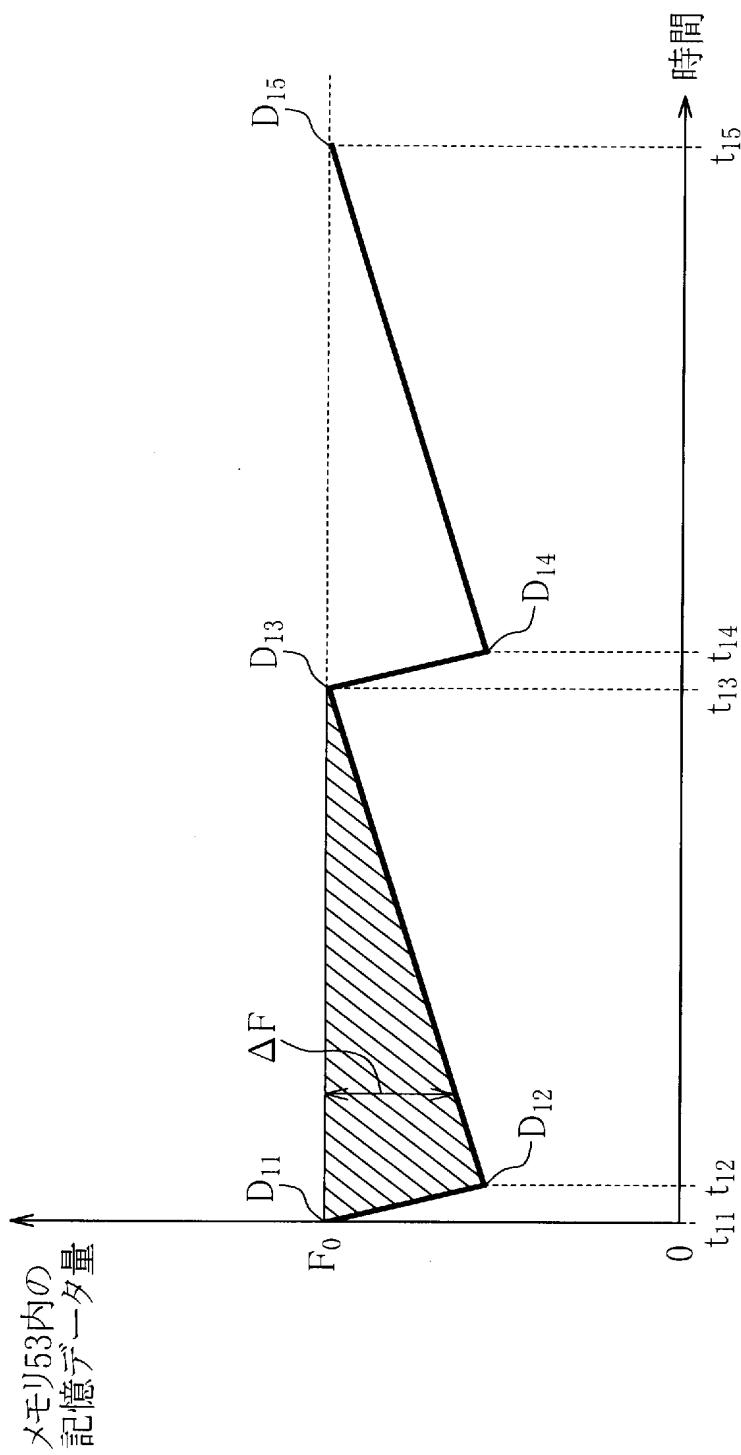
[図11]



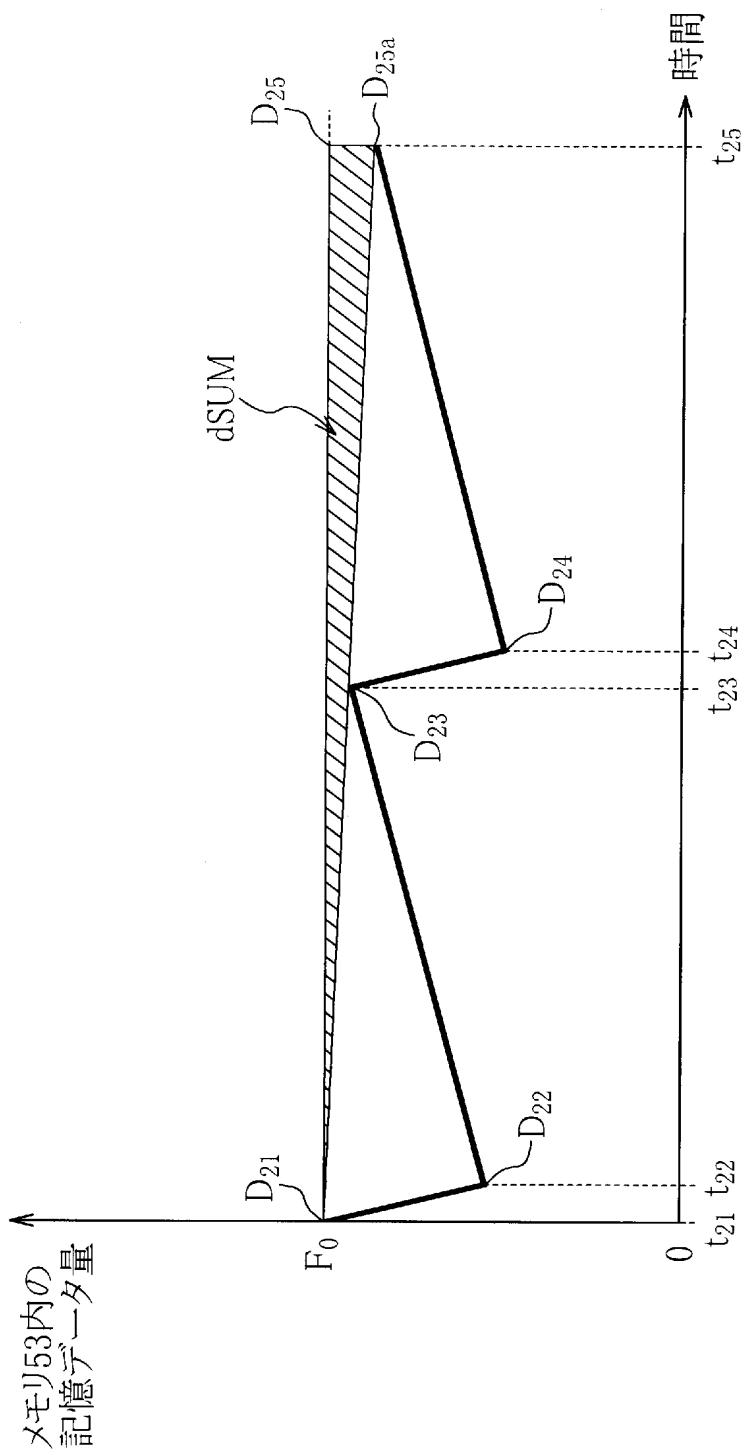
[図12]



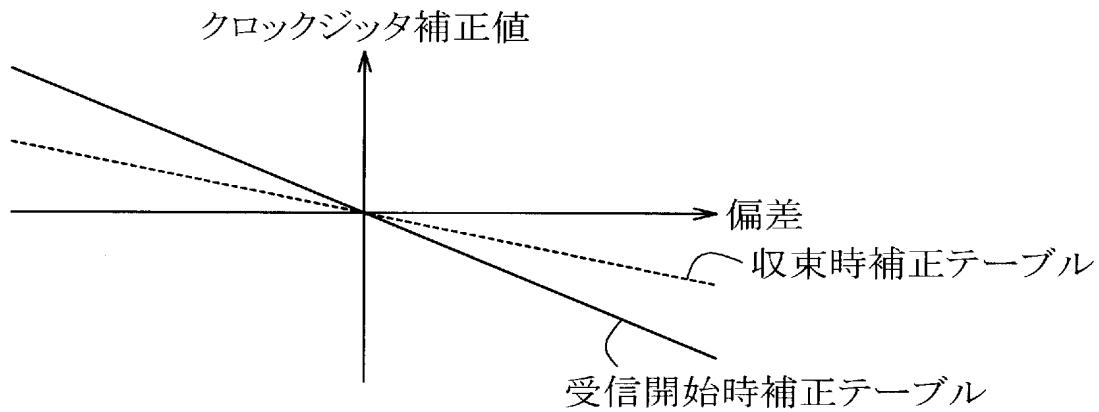
[図13]



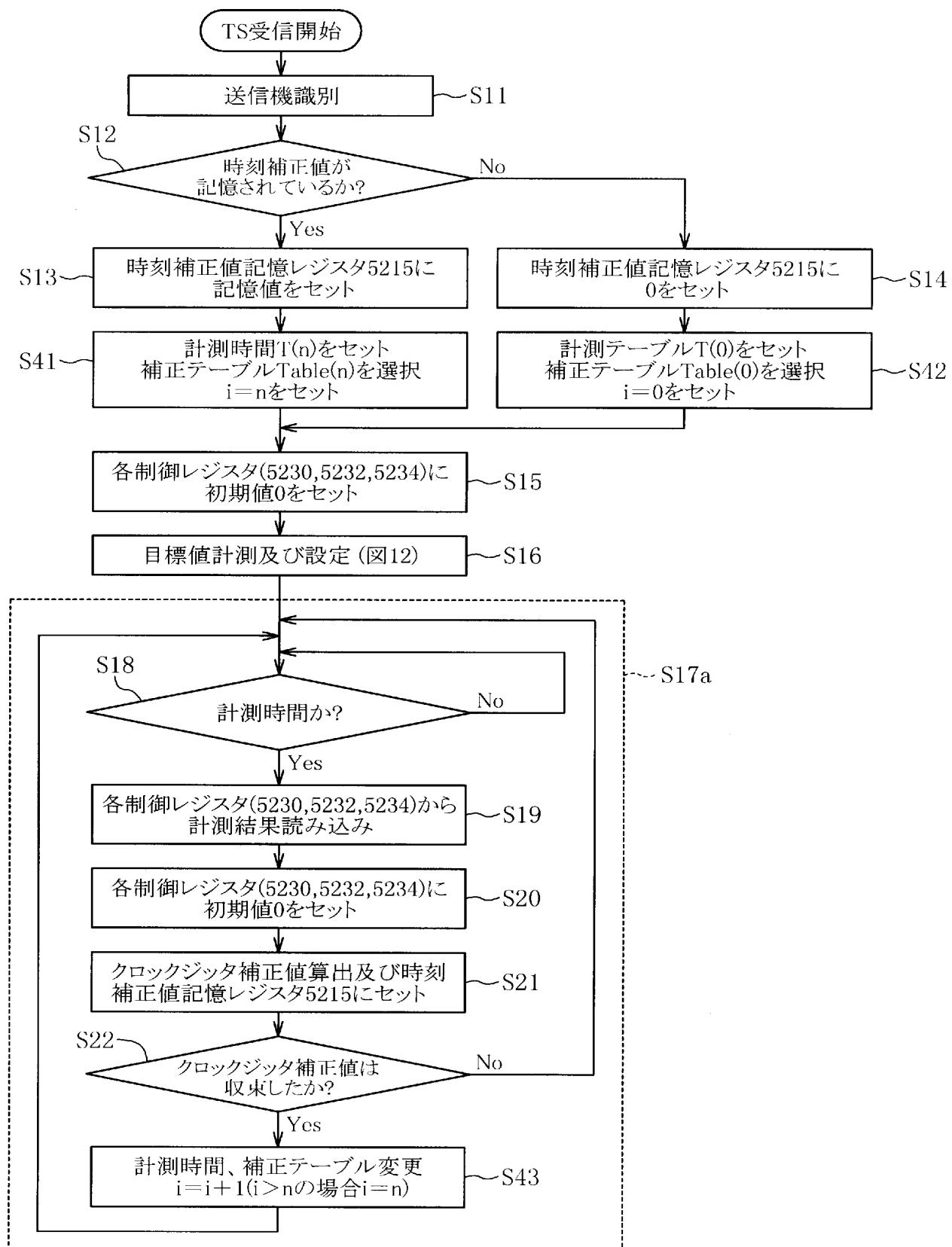
[図14]



[図15]



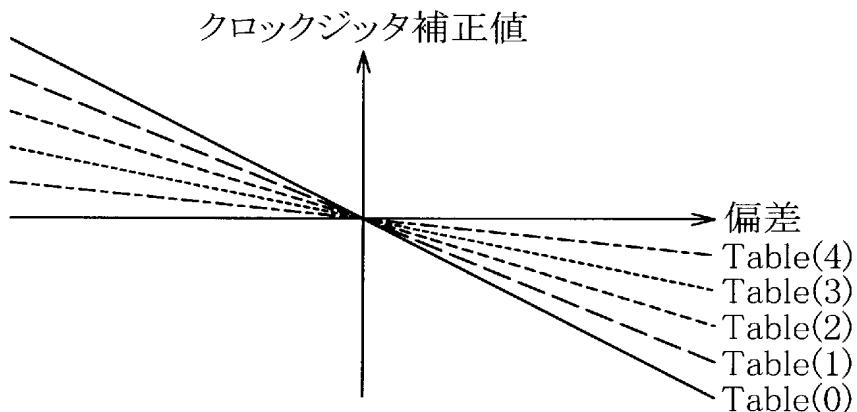
[図16]



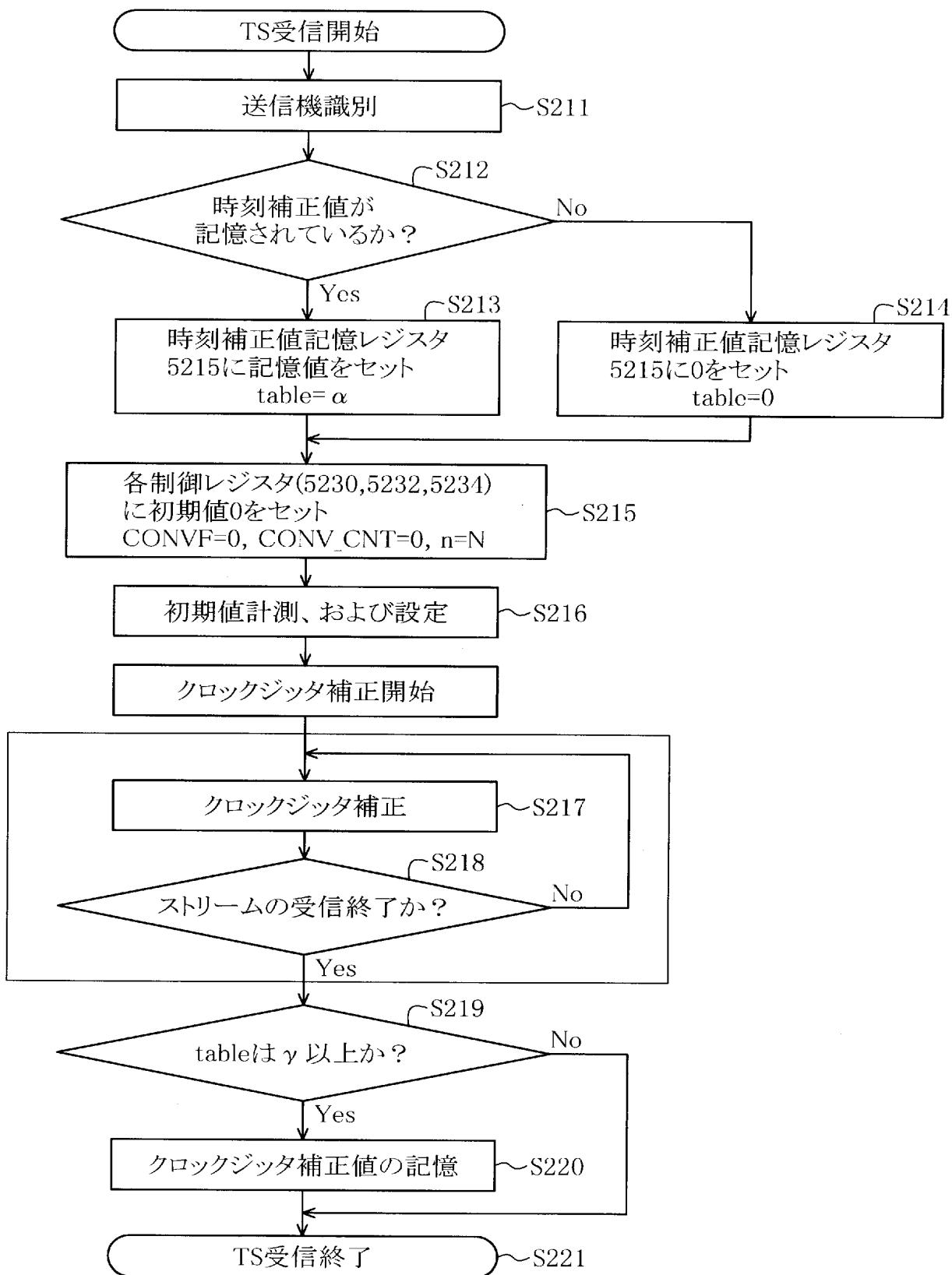
[図17]

i	計測時間T(n)	補正テーブル
0	0.5秒	Table(0)
1	1.0秒	Table(1)
2	2.0秒	Table(2)
3	4.0秒	Table(3)
4	8.0秒	Table(4)

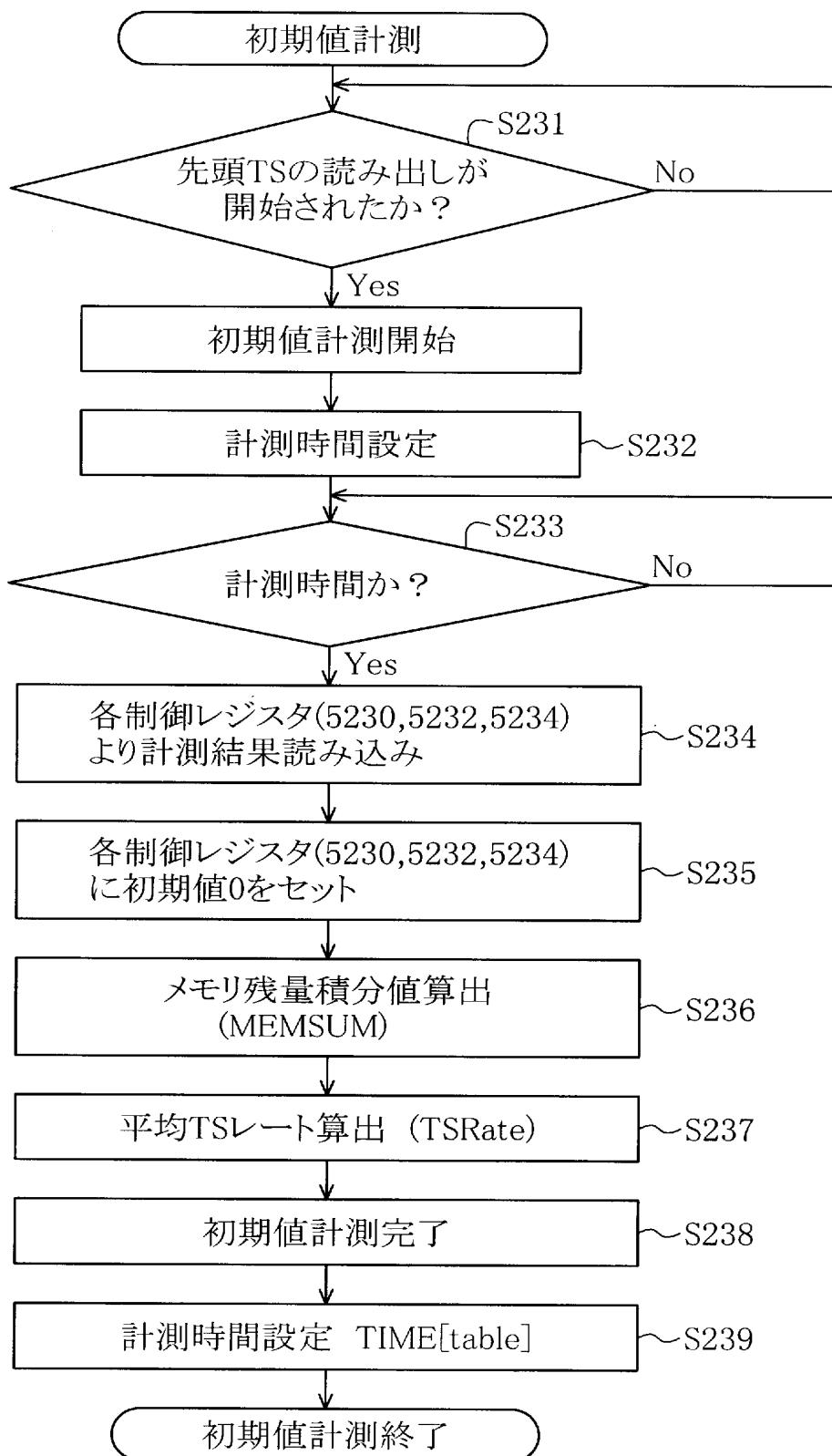
[図18]



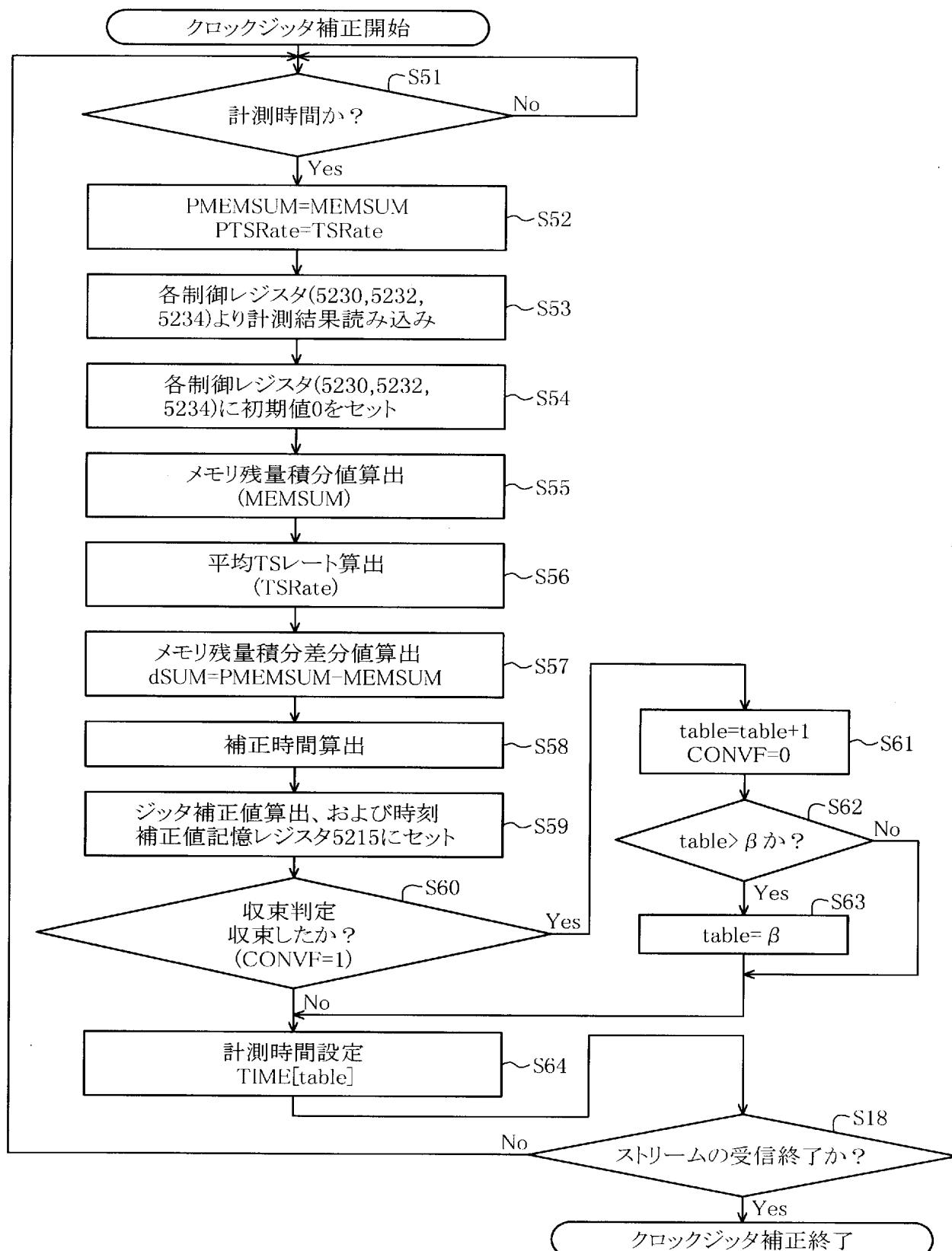
[図19]



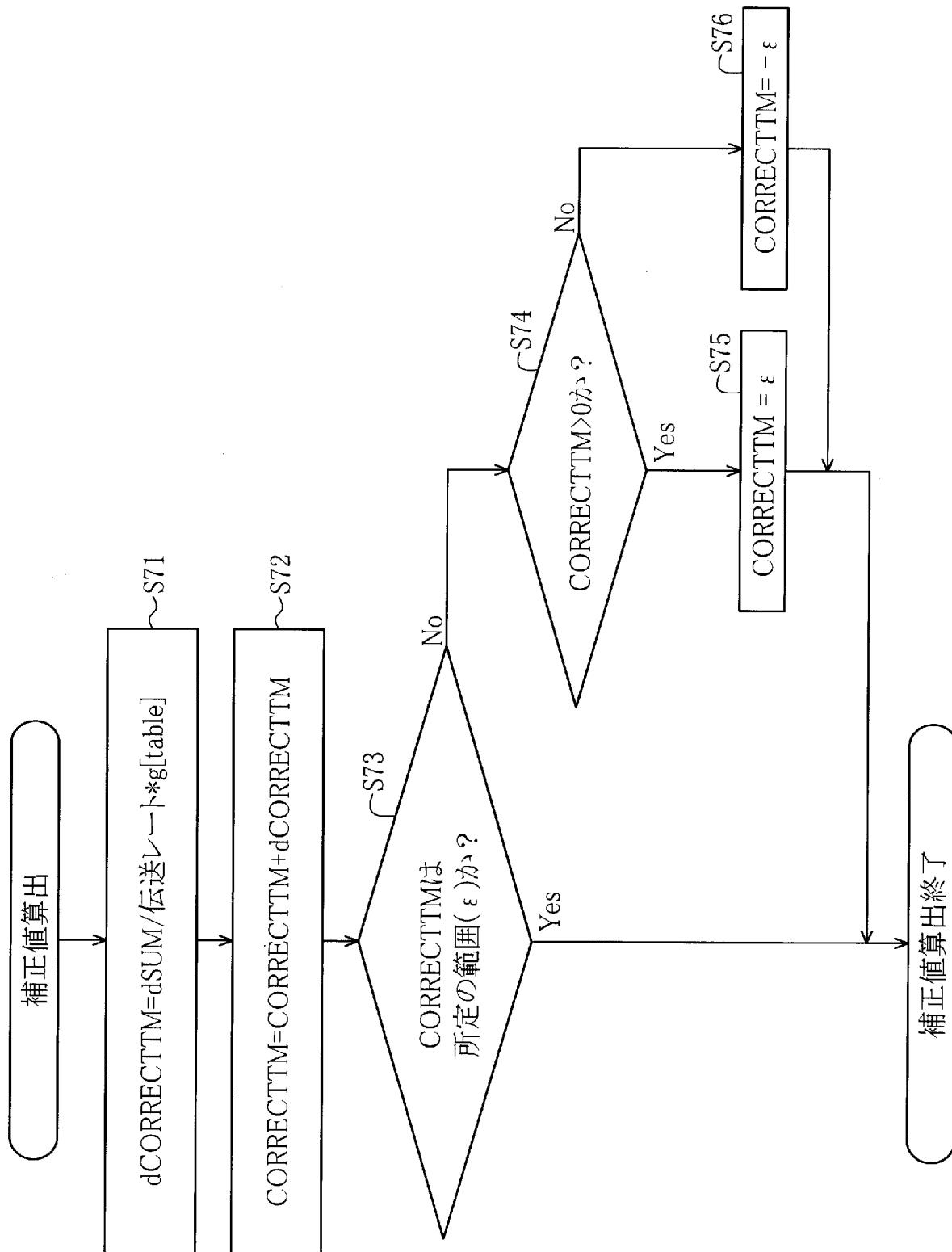
[図20]



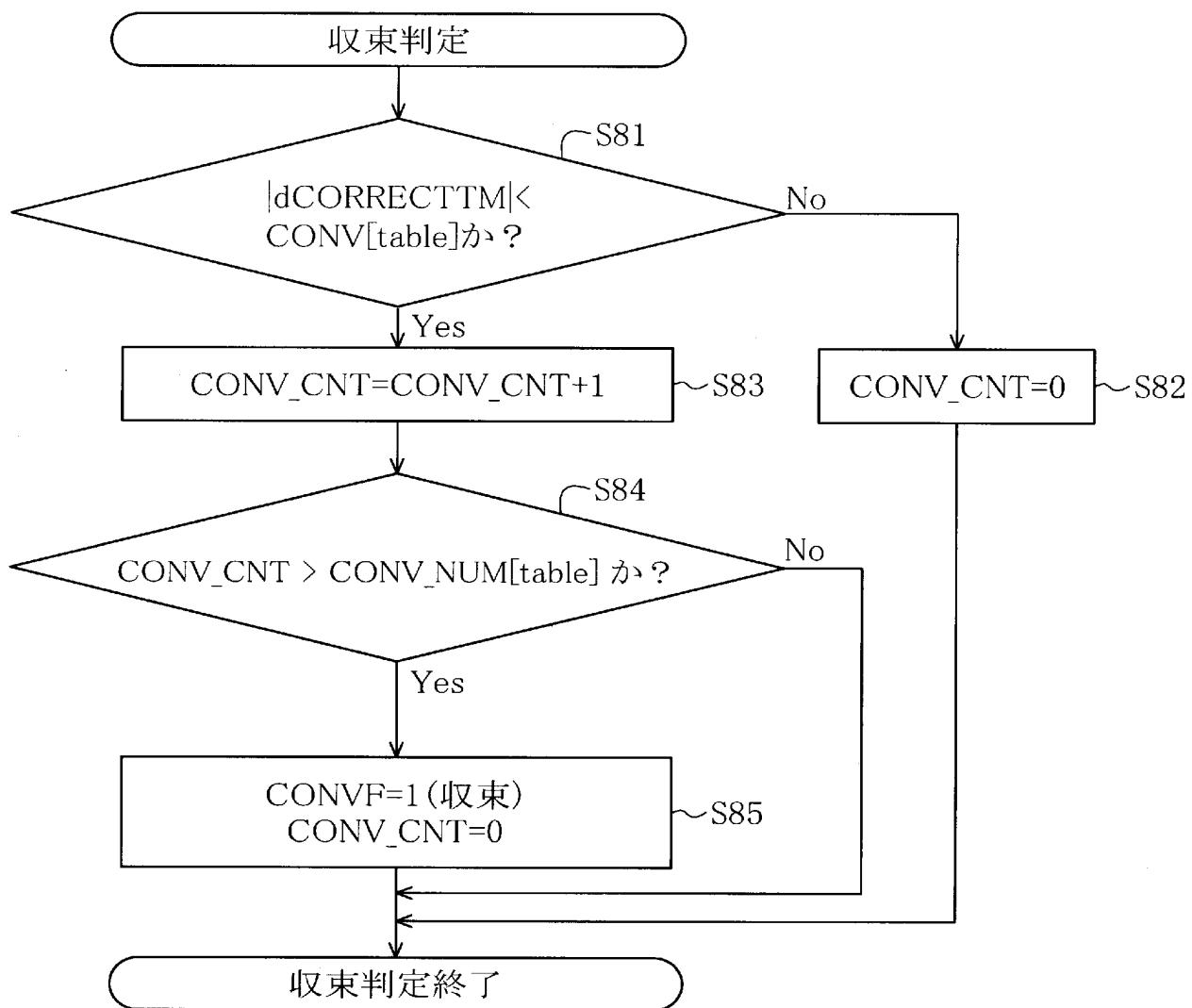
[図21]



[図22]



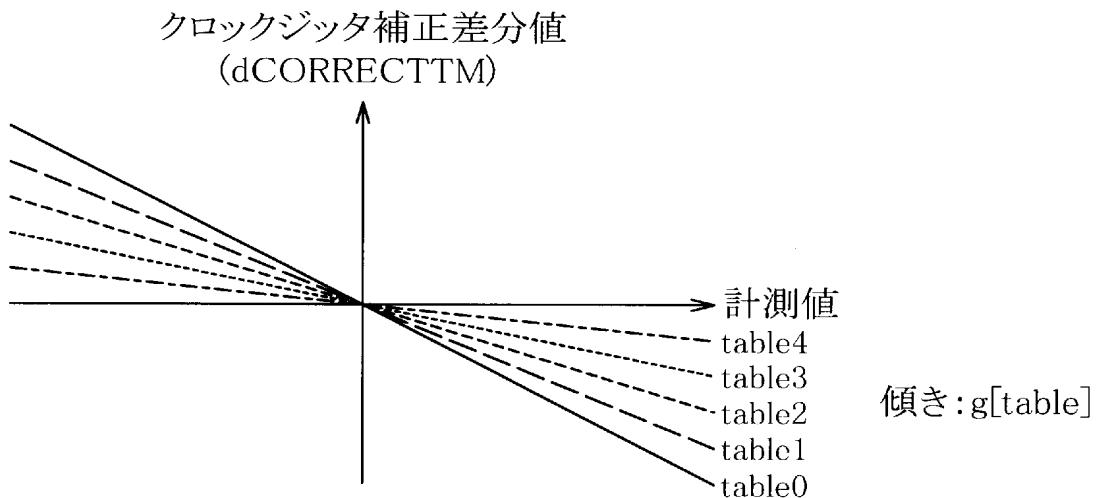
[図23]



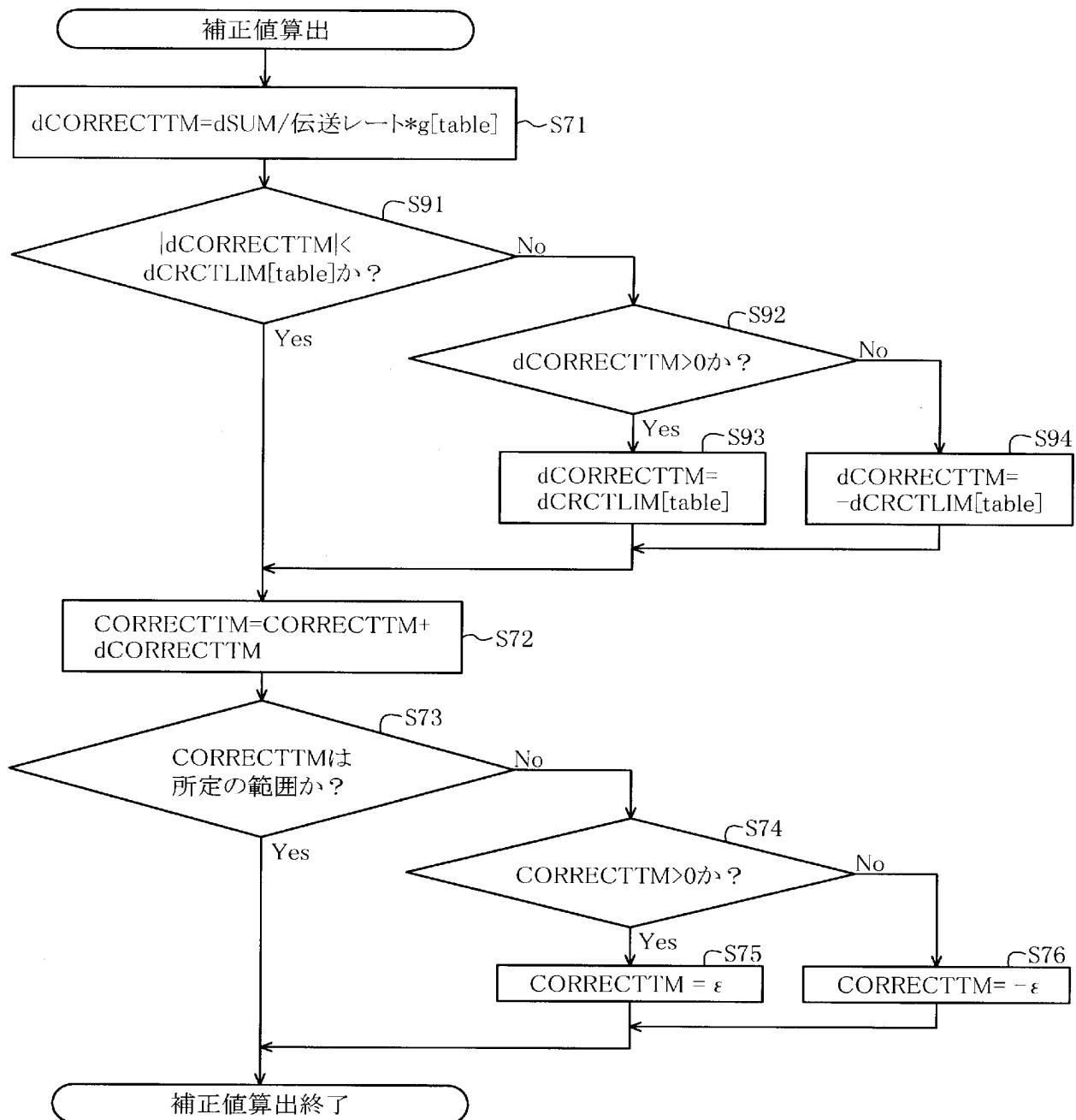
[図24]

I	計測時間 (TIME)	収束判定閾値 (CONV) CRCTMLは予め 定められた定数	収束判定条件 (CONV_CNT)	補正テーブル
0	0.5秒	CRCTML	10	table0
1	1.0秒	0.75*CRCTML	15	table1
2	2.0秒	0.5*CRCTML	20	table2
3	4.0秒	0.25*CRCTML	25	table3
4	8.0秒	0.125*CRCTML	30	table4

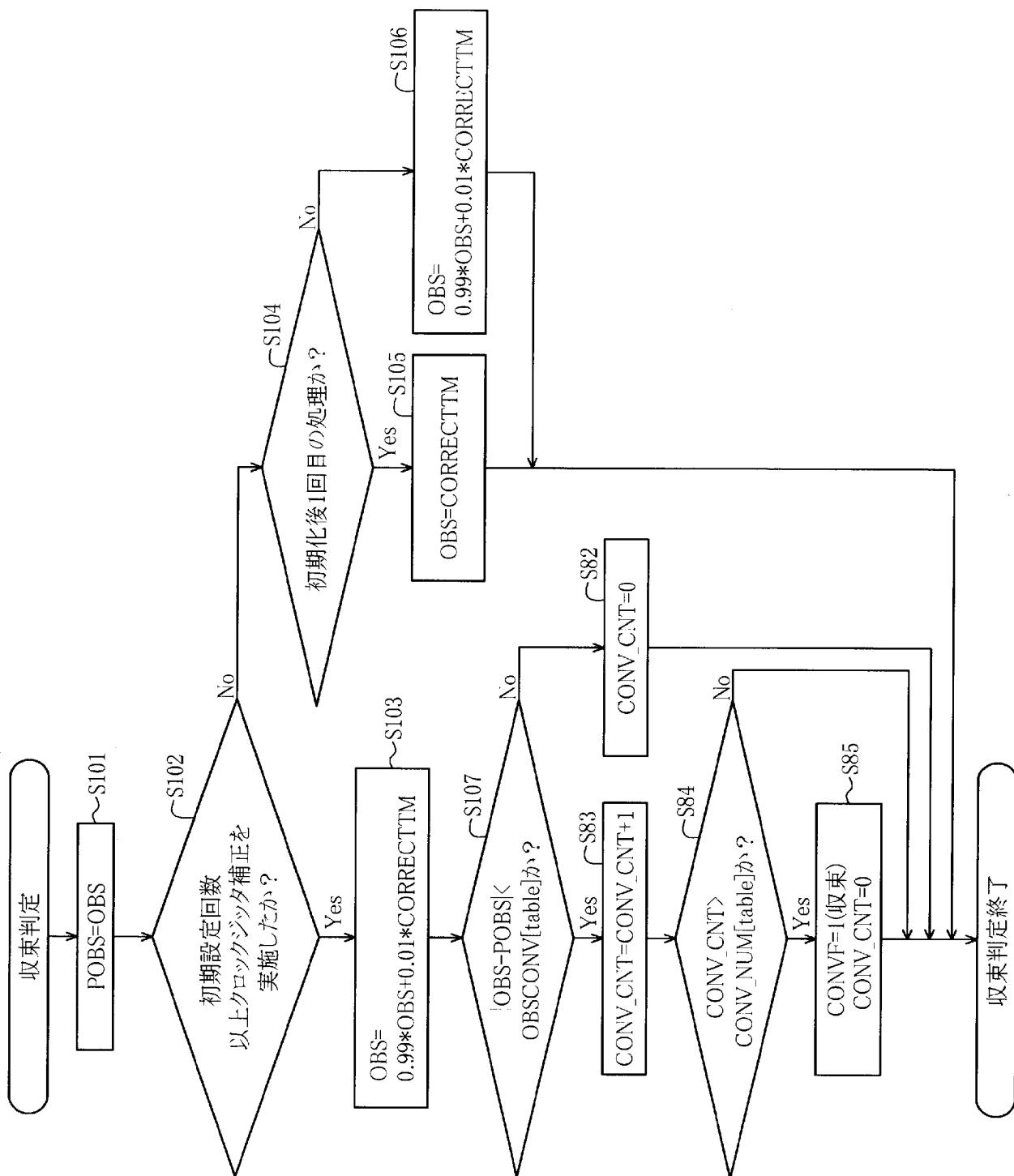
[図25]



[図26]



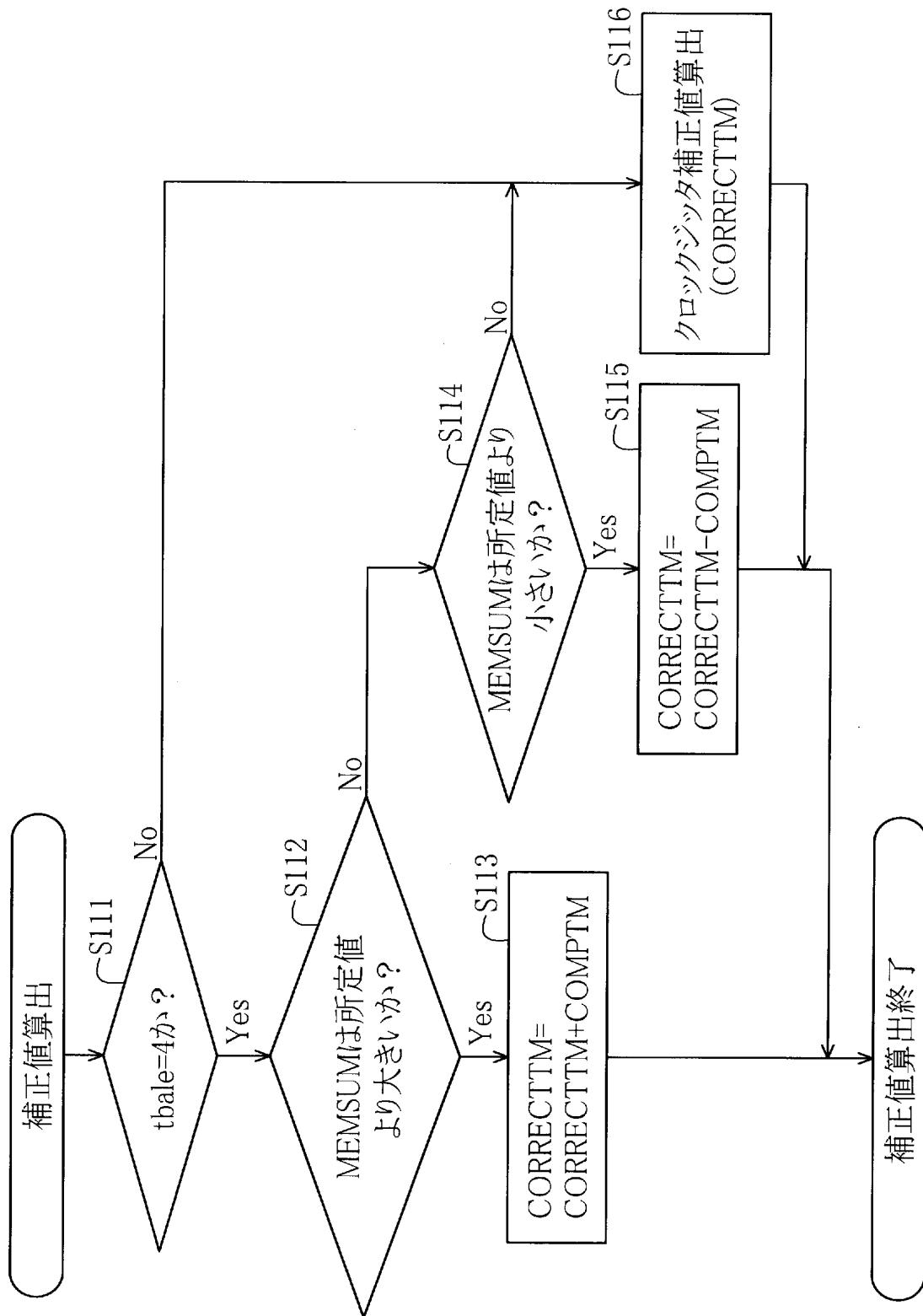
[図27]



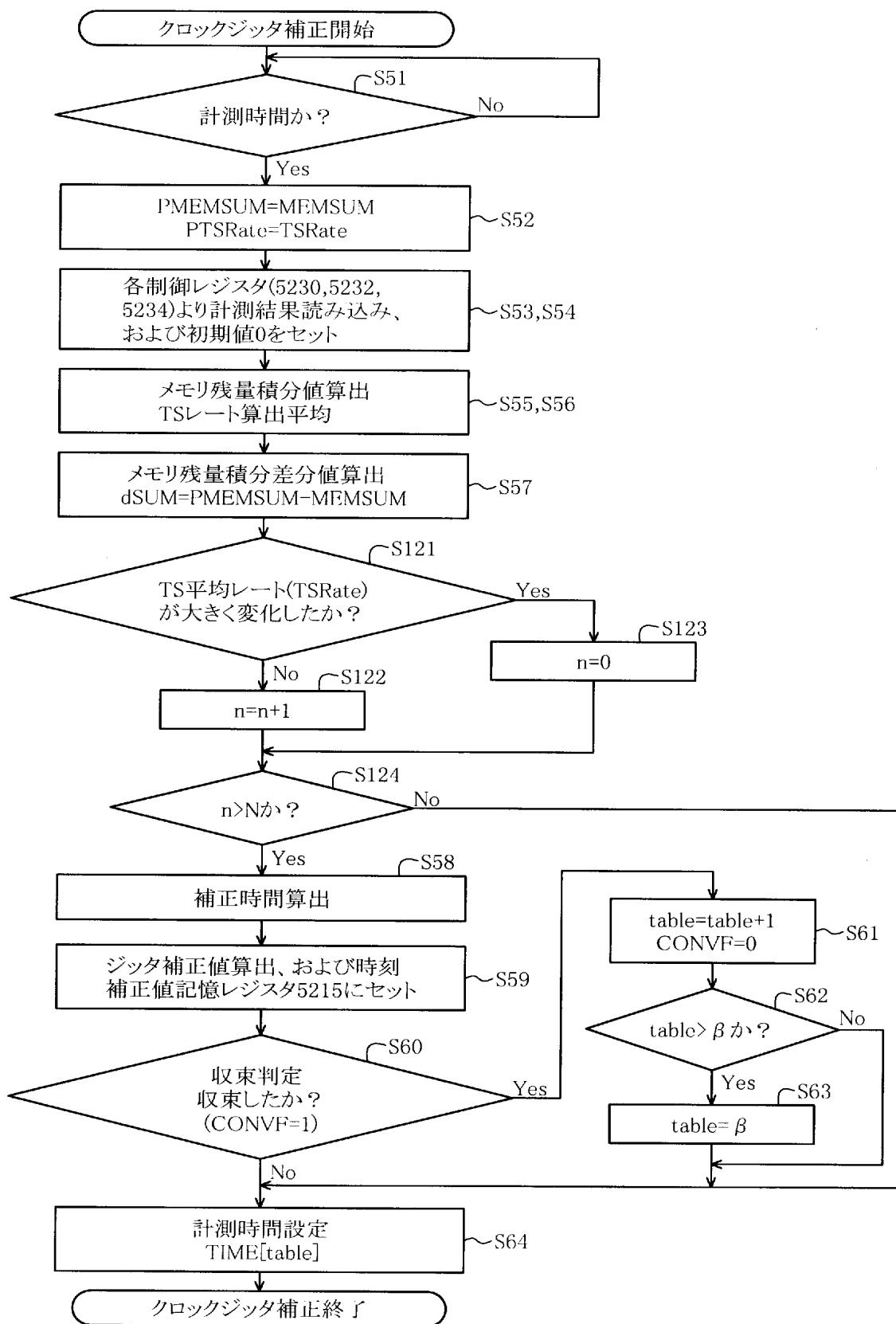
[図28]

1	計測時間 (TIME)	収束判定閾値 (OBSCONV) OBSCRCTLIMは予 め定められた定数	収束判定条件 (CONV_CNT)	補正差分範囲 (dCRCTLIM)は予 め定められた定数	補正テーブル
0	0.5秒	OBSCRCTLIM	10	dCRCTLIM	table0
1	1.0秒	0.75*OBSCRCTLIM	15	0.75*dCRCTLIM	table1
2	2.0秒	0.5*OBSCRCTLIM	20	0.5*dCRCTLIM	table2
3	4.0秒	0.25*OBSCRCTLIM	25	0.25*dCRCTLIM	table3
4	8.0秒	0.125*OBSCRCTLIM	30	0.125*dCRCTLIM	table4

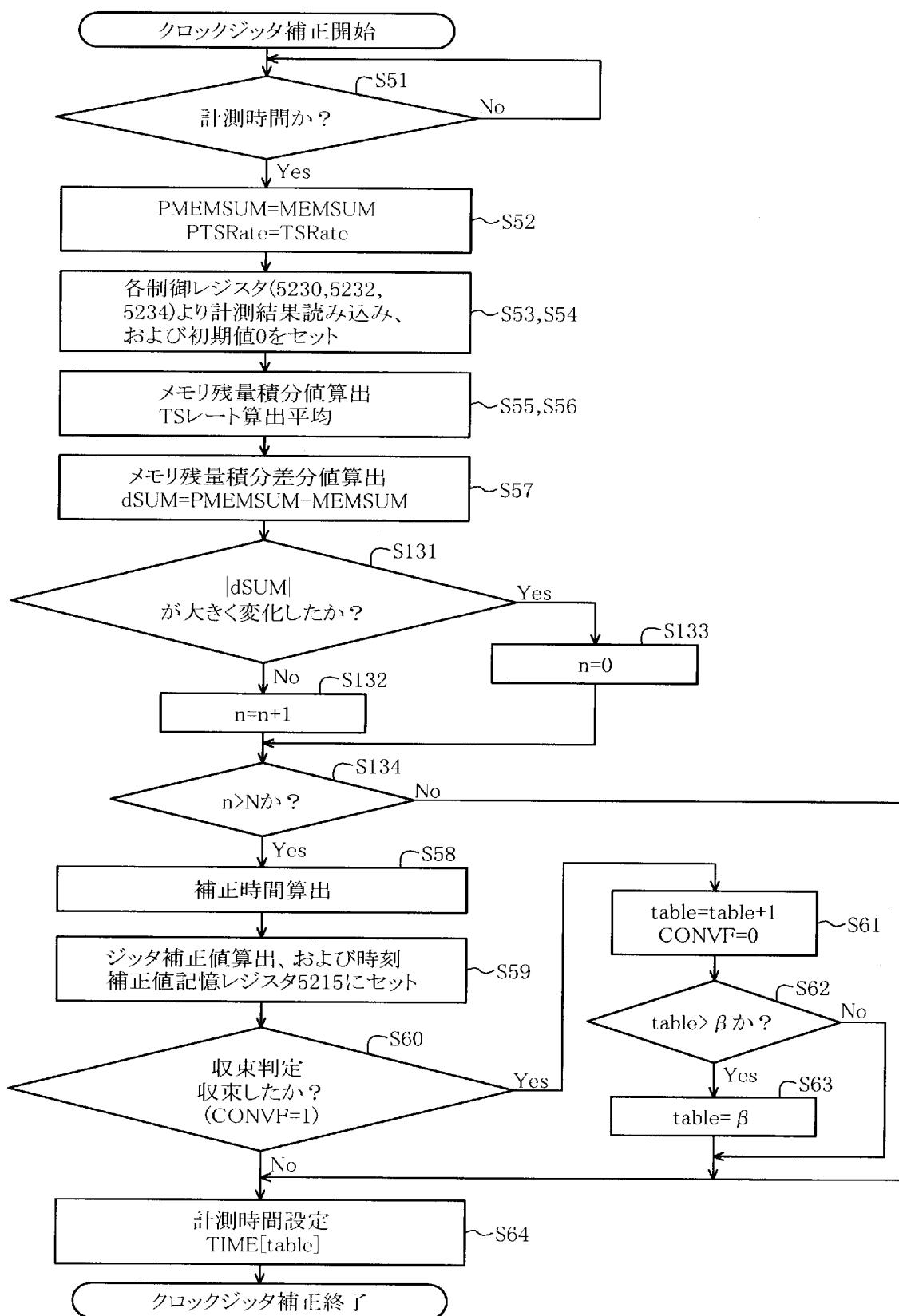
[図29]



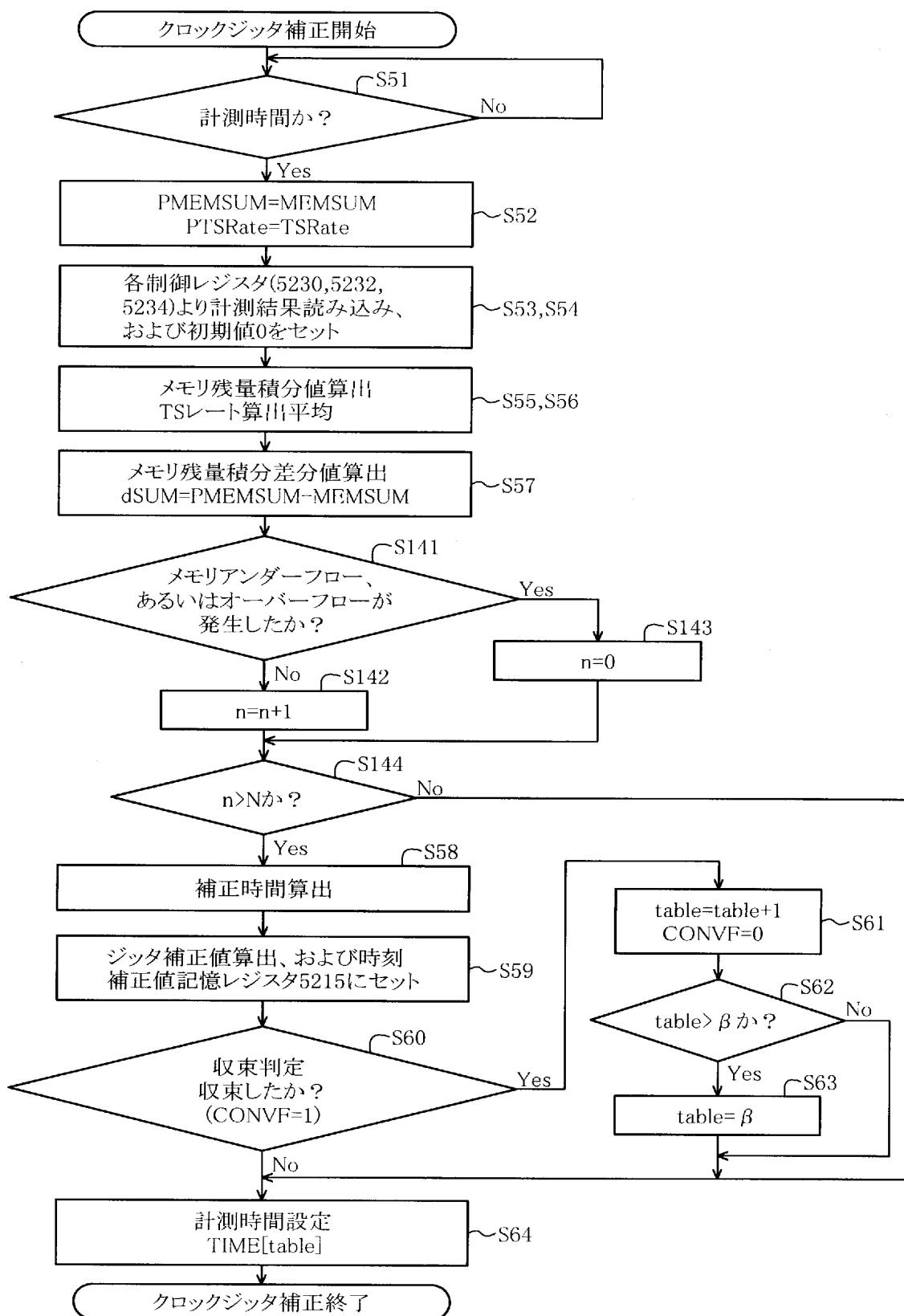
[図30]



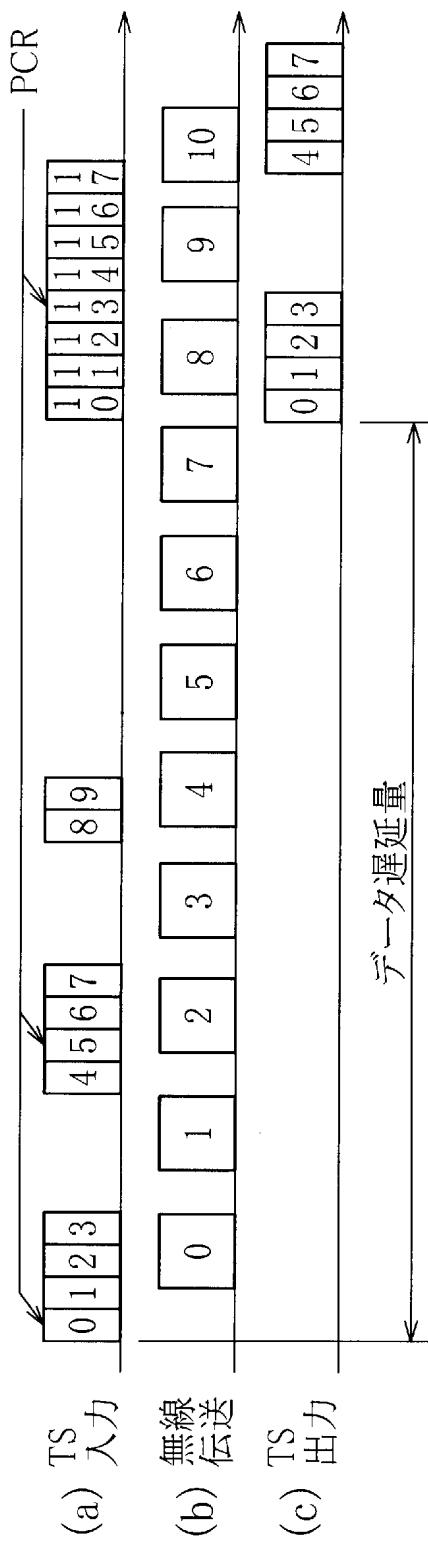
[図31]



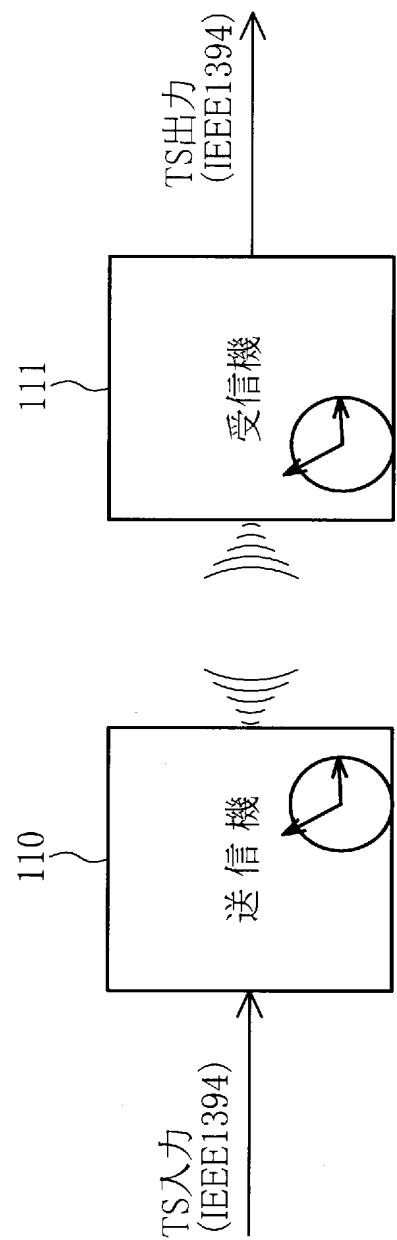
[図32]



[図33]



[図34]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001459

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04L7/00, H04N5/44, 7/24

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04L7/00, H04N5/44, 7/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-110537 A (Hitachi, Ltd.), 11 April, 2003 (11.04.03), Full text (Family: none)	1-36
A	JP 9-275420 A (Sony Corp.), 21 October, 1997 (21.10.97), Full text & EP 800295 A2 & US 5991307 A	1-36

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 April, 2005 (07.04.05)

Date of mailing of the international search report
26 April, 2005 (26.04.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl.⁷ H04L7/00, H04N5/44, 7/24

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int.Cl.⁷ H04L7/00, H04N5/44, 7/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2003-110537 A (株式会社日立製作所) 200 3. 04. 11, 全文を参照 (ファミリーなし)	1-36
A	J P 9-275420 A (ソニー株式会社) 1997. 10. 21, 全文を参照 & E P 800295 A2 & U S 5991307 A	1-36

〔 C 欄の続きにも文献が列挙されている。 〕

〔 パテントファミリーに関する別紙を参照。 〕

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示す
もの

「E」国際出願日前の出願または特許であるが、国際出願日
以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行
日若しくは他の特別な理由を確立するために引用す
る文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって
出願と矛盾するものではなく、発明の原理又は理論
の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明
の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以
上の文献との、当業者にとって自明である組合せに
よって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07. 04. 2005

国際調査報告の発送日

26. 4. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

5K 9382

阿 部 弘

電話番号 03-3581-1101 内線 3556